

日本国特許庁
JAPAN PATENT OFFICE

Y. Nonaka
10/15/03
Q 78002
10fl

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2002年10月16日

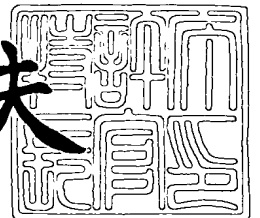
出願番号
Application Number: 特願2002-301186
[ST. 10/C]: [JP 2002-301186]

出願人
Applicant(s): 日本電気株式会社

2003年 8月 8日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3063925

【書類名】 特許願

【整理番号】 34803825

【提出日】 平成14年10月16日

【あて先】 特許庁長官殿

【国際特許分類】 H02M 3/07

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 野中 義弘

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100088812

【弁理士】

【氏名又は名称】 ▲柳▼川 信

【手数料の表示】

【予納台帳番号】 030982

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9001833

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 昇圧回路

【特許請求の範囲】

【請求項 1】

入力電圧からより高い昇圧電圧を生成する昇圧回路であって、互いに異なるレベルのゲート信号を生成するレベルシフト手段を少なくとも 2 つ以上具備し、前記ゲート信号のうちレベルが前記昇圧電圧に達しないゲート信号を少なくとも 1 つ以上用いて、前記昇圧電圧を発生させることを特徴とする昇圧回路。

【請求項 2】

前記昇圧電圧を生成するために、複数のコンデンサと複数のスイッチング素子を具備したチャージポンプ回路を用いることを特徴とする請求項 1 記載の昇圧回路。

【請求項 3】

前記昇圧回路が正の昇圧電圧を発生させる正昇圧手段と、前記正の昇圧電圧のうち少なくとも 1 つの極性を反転させて絶対値の等しい負の昇圧電圧を発生させる極性反転手段とを具備し、前記レベルシフト手段のうち第 1 のレベルシフト手段が生成するゲート信号の高レベルが前記正の昇圧電圧であり、低レベルが前記負の昇圧電圧以上であり、第 2 のレベルシフト手段が生成するゲート信号の低レベルが前記負の昇圧電圧であり、高レベルが前記正の昇圧電圧以下あることを特徴とする請求項 1 または 2 記載の昇圧回路。

【請求項 4】

前記極性反転手段が極性反転コンデンサの両端に複数のスイッチング素子を接続する構成であり、スイッチング素子を駆動する信号として、前記第 1 のレベルシフト手段が生成するゲート信号および前記第 2 のレベルシフト手段が生成するゲート信号を用いることを特徴とする請求項 1 から 3 いずれか記載の昇圧回路。

【請求項 5】

前記極性反転手段において、前記正昇圧手段の出力端子と前記極性反転コンデンサを接続する前記スイッチング素子を駆動するゲート信号が、前記第 1 のレベ

ルシフト手段の出力であることを特徴とする請求項 4 記載の昇圧回路。

【請求項 6】

前記レベルシフト手段のうち、第 2 のレベルシフト手段が生成するゲート信号の高レベルが 0 V であることを特徴とする請求項 1 から 5 いずれか記載の昇圧回路。

【請求項 7】

前記第 2 のレベルシフト手段に振幅を変えずに 2 値のレベルを変換するクランプ回路が含まれることを特徴とする請求項 6 記載の昇圧回路。

【請求項 8】

前記正昇圧手段において、発生する最大の正昇圧電圧よりも低い中間昇圧電圧を出力するスイッチング素子を具備することを特徴とする請求項 1 または 2 記載の昇圧回路。

【請求項 9】

入力電源と接地点の間に第 1 のスイッチング素子と第 2 のスイッチング素子が直列に接続され、入力電源と 2 倍昇圧出力端子の間に第 3 のスイッチング素子と第 4 のスイッチング素子が直列に接続され、第 1 の充電コンデンサが、前記第 1 のスイッチング素子と前記第 2 のスイッチング素子の接続点と、前記第 3 のスイッチング素子と前記第 4 のスイッチング素子の接続点にて接続される、入力電圧の 2 倍の正の電圧を発生させる手段において、前記入力電源に接続される前記第 1 のスイッチング素子と前記第 3 のスイッチング素子を駆動する信号が、前記第 2 のレベルシフト手段のゲート信号であることを特徴とする請求項 1 から 5 いずれか記載の昇圧回路。

【請求項 10】

前記昇圧回路が、前記入力電圧と入力電圧の $(n-1)$ 倍 (n は 2 以上の整数) の電圧から入力電圧の n 倍の昇圧電圧を発生させるチャージポンプ回路と、高レベルが入力電圧の $(n-1)$ 倍である信号を高レベルが入力電圧の n 倍である信号に、振幅を変えずにレベル変換するレベルシフト手段によって構成されることを特徴とする請求項 1 または 2 記載の昇圧回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、供給された直流電圧を任意のレベルの直流電圧に変換する昇圧回路（いわゆるDC/DCコンバータ回路）に関し、特に、単一供給電源からより高い電圧を発生させる昇圧回路に関する。

【0002】

【従来の技術】

トランジスタなどの電子スイッチおよびコンデンサにより構成されるチャージポンプ型昇圧回路は、外部より供給される電圧を必要な高電圧に昇圧する回路である。この回路は電子スイッチを半導体トランジスタや薄膜トランジスタなどで集積化することで小型軽量化できるため、携帯電話やパソコンなどの携帯機器に用いられている。

【0003】

チャージポンプ型昇圧回路を表示装置用の電源回路として適用する場合、正負両極性の電源を供給する必要がある。それは表示装置駆動回路が表示画素選択時または非選択時に正または負の電圧を画素駆動用薄膜トランジスタのゲート端子に印加するためである。正負両極性の電圧を生成する場合、チャージポンプ型昇圧回路の構成として、入力電圧から正電圧と負電圧を独立して昇圧する構成と、入力電圧から正電圧を昇圧した後に、極性反転回路を用いて昇圧された正電圧から負電圧を生成する構成に大別される。後者の方が、必要なチャージポンプ回路すなわち、トランジスタおよびコンデンサの数が少ないため、小型軽量化に適した構成である。

【0004】

第1の従来例として、入力電圧VDDをK倍に昇圧する回路と、-K倍に昇圧する回路を独立させた構成を示す。ここで、Kは2以上の任意の整数である。図17は従来の昇圧回路の第1例の構成図である。同図に示した従来例は、入力電圧VDD122をK倍に昇圧するチャージポンプ昇圧回路（以下K倍C.P.と記す）21と、ゲート信号を生成するレベルシフト（以下LSと記す）回路201と、出力電圧を保持する正極性回路（コンデンサ）11と、入力電圧VDD1

12を $-K$ 倍するチャージポンプ昇圧回路（以下 $-K$ 倍C. P. と記す）31と、ゲート信号を生成するレベルシフト（LS）回路202と、出力電圧を保持する負極性回路（コンデンサ）12とで構成される。

【0005】

K 倍C. P. 21はレベルシフト回路201が生成するゲート信号 $\phi 11$ と $\phi 12$ を用いて、入力電圧 $VDD 112$ から昇圧電圧 $K \times VDD$ を生成し、正昇圧出力端子 $VP 114$ から出力する。また $-K$ 倍C. P. 31はレベルシフト回路202が生成するゲート信号 $\phi 13$ と $\phi 14$ を用いて、入力電圧 VDD から負の昇圧電圧 $-K \times VDD$ を生成し、負昇圧出力端子 $VN 115$ から出力する。

【0006】

ゲート信号 $\phi 11$ と $\phi 12$ を生成するレベルシフト回路201は例えば、図18に示される。図18はレベルシフト回路201の一例の回路図である。同図を参照すると、このレベルシフト回路201は、電源として $VP 114$ を用いて、レベルが VDD と $0V$ である入力信号 $CLK 113$ を、 $VP 114$ の電圧 $K \times VDD$ と $0V$ の信号 $\phi 11$ および $\phi 12$ にレベル変換する。レベルシフト回路201には $K \times VDD$ の振幅の電圧が印加されることから、回路を構成するトランジスタの耐圧は $K \times VDD$ 以上が必要である。

【0007】

同様に、ゲート信号 $\phi 13$ と $\phi 14$ を生成するレベルシフト回路202は例えば、図19に示される。図19はレベルシフト回路202の一例の回路図である。同図を参照すると、このレベルシフト回路202は、電源として $VDD 112$ および $VN 115$ を用いて、レベルが VDD と $0V$ である入力信号 $CLK 113$ を、 VDD と $-K \times VDD$ の信号 $\phi 13$ および $\phi 14$ にレベル変換する。レベルシフト回路には $(K+1)VDD$ の振幅の電圧が印加されることから、回路を構成するトランジスタの耐圧は $(K+1)VDD$ 以上が必要である。

【0008】

次に、 K 倍C. P. 21の具体的な構成について一例を図20に示す。図20は K 倍昇圧回路21の一例の回路図である。同図を参照すると、 K 倍昇圧を行うためには、充電コンデンサ1つと複数のトランジスタで構成された回路を（ $K-$

1) 段連結させる。第1段では入力電圧VDD112を2倍に昇圧し、第(K-1)段でK倍昇圧電圧が生成される。第1段のチャージポンプ回路は4つのトランジスタ301, 302, 303, 304と1つの充電コンデンサ305とで構成され、電源VDD112と接地点の間にP型チャネルトランジスタ301とN型チャネルトランジスタ302とが直列接続され、また電源VDD112と2倍昇圧端子306の間にP型チャネルトランジスタ303と304とが直列接続され、2倍昇圧用充電コンデンサ305の両端子が、P型チャネルトランジスタ301とN型チャネルトランジスタ302の接続点と、P型チャネルトランジスタ303と304の接続点にそれぞれ接続される。各トランジスタのゲート端子には、 $\phi 11$ がP型チャネルトランジスタ301, 304とN型チャネルトランジスタ302に、 $\phi 12$ がP型チャネルトランジスタ303にそれぞれ接続される。

【0009】

第2段以降は3つのトランジスタと1つの充電コンデンサで構成される。第2段は2倍昇圧端子306と接地点との間にN型トランジスタ307が接続され、電源VDD112と3倍昇圧端子311の間にP型チャネルトランジスタ308と309とが直列接続され、3倍昇圧用充電コンデンサ310の両端子が、2倍昇圧端子306と3倍昇圧端子311に接続される。各トランジスタのゲート端子には、 $\phi 11$ がP型チャネルトランジスタ309、N型チャネルトランジスタ307に、 $\phi 12$ がP型チャネルトランジスタ308にそれぞれ接続される。

【0010】

同様に、第(K-1)段は(K-1)倍昇圧端子312と接地点との間にN型トランジスタ313が接続され、電源VDD112とK倍昇圧端子VP114の間にP型チャネルトランジスタ314と315とが直列接続され、K倍昇圧用充電コンデンサ316の両端子が、(K-1)倍昇圧端子312とK倍昇圧端子VP114に接続される。各トランジスタのゲート端子には、 $\phi 11$ がP型チャネルトランジスタ315、N型チャネルトランジスタ313に、 $\phi 12$ がP型チャネルトランジスタ314にそれぞれ接続される。

【0011】

以下に、正昇圧回路の動作を説明する。CLK信号113が高レベル(VDD)であるとき、 $\phi 11$ の高レベル($K \times VDD$)によりN型チャネルトランジスタ302がオンし、 $\phi 12$ の低レベル(0V)によりP型チャネルトランジスタ303がオンして、2倍昇圧用充電コンデンサ305には電源電圧VDD112が充電される。同様に、次段以降のN型チャネルトランジスタ307, 313とP型チャネルトランジスタ308, 314がオンして、各充電コンデンサ310, 316には電源電圧VDD112が充電される。

【0012】

次に、CLK信号113が低レベル(0V)であるとき、 $\phi 11$ の低レベル(0V)によりP型チャネルトランジスタ301と304がオンして、2倍昇圧端子306の電位は2VDDとなる。同様に、次段以降のP型チャネルトランジスタ306および309がオンすることで、3倍昇圧端子311の電位は、2倍昇圧端子306の2VDDに充電コンデンサ310の電位を加えて3VDDになり、最後に($K-1$)段目の充電コンデンサ316の電位を加えて正昇圧出力端子VP114の電位は $K \times VDD$ に達し、その電位は正極性回路(コンデンサ)11により保たれる。

【0013】

次に、 $-K$ 倍C. P. 31の具体的な構成について一例を図21に示す(たとえば、 $K=2$ の場合の構成は特許文献1の図10参照)。

【0014】

【特許文献1】

特公平8-28965号公報(図10)

【0015】

図21は負電圧昇圧回路31の一例の回路図である。同図を参照すると、 $-K$ 倍昇圧を行うためには、充電コンデンサ1つと複数のトランジスタで構成された回路を K 段連結させる。第1段では入力電圧VDD122を -1 倍し、第 K 段で $-K$ 倍昇圧電圧が生成される。第1段の回路は、電源VDD112と接地点との間にP型チャネルトランジスタ451とN型チャネルトランジスタ452が直列接続され、 -1 倍電圧端子456と接地点との間にN型チャネルトランジスタ4

53と454とが直列接続され、充電コンデンサ455の両端子は、P型チャネルトランジスタ451とN型チャネルトランジスタ452との接続点と、N型チャネルトランジスタ453と454の接続点とにそれぞれ接続される。各トランジスタのゲート端子には、 $\phi 13$ がP型チャネルトランジスタ451とN型チャネルトランジスタ452、453に、 $\phi 14$ がN型チャネルトランジスタ454にそれぞれ接続される。

【0016】

第2段以降は3つのトランジスタと1つの充電コンデンサで構成される。第2段は電源VDD112と-1倍電圧端子456との間にP型トランジスタ457が接続され、-2倍昇圧端子461と接地点の間にN型チャネルトランジスタ458と459とが直列接続され、充電コンデンサ460の両端子が、-1倍電圧端子456と-2倍昇圧端子461に接続される。各トランジスタのゲート端子には、 $\phi 13$ がP型チャネルトランジスタ457、N型チャネルトランジスタ458に、 $\phi 14$ がN型チャネルトランジスタ459にそれぞれ接続される。

【0017】

同様に、第K段は電源VDD112と(K-1)倍電圧端子462との間にP型トランジスタ463が接続され、-K倍昇圧端子VN115と接地点の間にN型チャネルトランジスタ464と465とが直列接続され、充電コンデンサ466の両端子が、(K-1)倍電圧端子462とK倍昇圧端子VN115に接続される。各トランジスタのゲート端子には、 $\phi 13$ がP型チャネルトランジスタ463、N型チャネルトランジスタ464に、 $\phi 14$ がN型チャネルトランジスタ465にそれぞれ接続される。

【0018】

以下に、負電圧の昇圧回路の動作を説明する。CLK信号113が低レベル(0V)であるとき、 $\phi 13$ の低レベル($-K \times VDD$)によりP型チャネルトランジスタ451、457および463がオンし、 $\phi 14$ の高レベル(VDD)によりN型チャネルトランジスタ454、459および465がオンして、充電コンデンサ455、460および466にはそれぞれ電源電圧VDD112が充電される。

【0019】

次にCLK信号が高レベル(VDD)であるとき、 $\phi 13$ の高レベル(VDD)によりN型チャネルトランジスタ452, 453, 458および464がオンして、K個の充電コンデンサ455, 460, 466に充電されていた電圧が直列に接続され、その極性から負昇圧出力端子VN115の電位は $-K \times VDD$ となる。

【0020】

次に、第2の従来例について説明する。図22は従来の昇圧回路の第2例の構成図である。第2例は正の昇圧電圧の極性を反転させて負の昇圧電圧を生成するチャージポンプ型昇圧回路である。この従来例は、入力電圧VDD12からK倍に昇圧するK倍昇圧回路21と、極性を反転させる-1倍昇圧回路32と、レベルシフト回路203とで構成される。K=2に関する構成は、特許文献1の図13にすでに示されている。

【0021】

【特許文献1】

特公平8-28965号公報(図13)

【0022】

この従来例は、入力電圧をはじめに2倍昇圧し、さらに極性反転回路により-2倍電圧を生成する構成である。図22を参照すると、K倍C. P. 21はゲート信号 $\phi 21$ と $\phi 22$ を用いて、入力電圧VDD112から昇圧電圧 $K \times VDD$ を生成し、正昇圧出力端子VP114から出力する。極性反転回路32は、ゲート信号 $\phi 21$ と $\phi 22$ を用いて正昇圧電圧端子VP114の電位 $K \times VDD$ の極性を反転させて負昇圧出力端子VN115から出力する。

【0023】

ゲート信号 $\phi 21$ および $\phi 22$ を生成するレベルシフト回路203は、例えば、図23のような構成をしている。図23はレベルシフト回路203の一例の回路図である。同図を参照すると、電源としてVP114とVN115を用いて、レベルがVDDと0Vである入力信号CLK113をVP114の電圧 $K \times VDD$ とVN115の電圧 $-K \times VDD$ である信号 $\phi 21$ および $\phi 22$ にレベル変換

する。このレベルシフト回路 203 には $|V_P| + |V_N| = 2K \times V_{DD}$ の振幅の電圧が印加されることから、回路を構成するトランジスタには第 1 の従来例より高い耐圧特性 ($> 2K \times V_{DD}$) が必要となる。

【0024】

図 24 は極性反転回路 32 の一例の回路図である。同図に示した極性反転回路 32 の構成は、正昇圧入力端子 VR116 と接地点の間で P 型チャネルトランジスタ 401 と N 型チャネルトランジスタ 402 とが直列接続され、負昇圧出力端子 VN115 と接地点の間で N 型チャネルトランジスタ 403 と 404 とが直列接続され、極性反転用充電コンデンサ 405 の両端子が、P 型チャネルトランジスタ 401 と N 型チャネルトランジスタ 402 との接続点と、N 型チャネルトランジスタ 403 と 404 との接続点にそれぞれ接続される。 $\phi 21$ が P 型チャネルトランジスタ 401、N 型チャネルトランジスタ 402、403 のゲート端子に接続され、 $\phi 22$ が N 型チャネルトランジスタ 404 のゲート端子に接続される。使用するトランジスタは 4 つ、コンデンサは 1 つであり、第 1 の従来例と比較すると部品点数が減数される。

【0025】

以下に、上記昇圧回路の動作を説明する。CLK 信号 113 が高レベル (V_{DD}) であるとき、 $\phi 22$ の低レベル ($-K \times V_{DD}$) により図 20 の K 倍昇圧回路の P 型チャネルトランジスタ 303、308、314 がオンし、 $\phi 21$ の高レベル ($K \times V_{DD}$) により N 型チャネルトランジスタ 302、307、313 がオンして、充電コンデンサ 305、310、316 には電源電圧 $V_{DD}112$ が充電される。次に CLK 信号が低レベル (0V) であるとき、 $\phi 21$ の低レベル ($-K \times V_{DD}$) により P 型チャネルトランジスタ 301、304、309、315 がオンして、電源電圧 $V_{DD}112$ を充電した ($K-1$) 個の充電コンデンサと電源 $V_{DD}112$ が直列に接続され、正昇圧出力端子 VP114 の電位は $K \times V_{DD}$ となり、その電位は保持コンデンサ 11 により保たれる。このとき、 $\phi 21$ の低レベル ($-K \times V_{DD}$) と $\phi 22$ の高レベル ($K \times V_{DD}$) により図 24 の P 型チャネルトランジスタ 401 と N 型チャネルトランジスタ 404 がオンすることから、極性反転用充電コンデンサ 405 には正昇圧入力端子 VR116

の電位、すなわち保持コンデンサ 11 に保持された $K \times VDD$ が充電される。そして、再び CLK 113 が高レベル (VDD) となると、 $\phi 21$ の高レベル ($K \times VDD$) により N 型チャネルトランジスタ 402 と 403 がオンして、負昇圧出力端子 VN 115 の電位は $-K \times VDD$ となり、その電位は保持コンデンサ 12 により保たれる。

【0026】

なお、他のチャージポンプ型昇圧回路の一例として、非特許文献 1 がある。

【0027】

【非特許文献 1】

John F. Dickson, On-Chip High-Voltage Generation in MNOS Integrated Circuits Using an Improved Voltage Multiplier Technique, IEEE JOURNAL OF SOLID-STATE CIRCUITS, Vol. SC-11, No. 3, pp. 374-378, JUNE 1976.

【0028】

【発明が解決しようとする課題】

入力電圧 VDD 112 から正の高電圧 VP (例えば $K \times VDD$) および負の高電圧 VN (例えば $-K \times VDD$) を同時に昇圧する従来のチャージポンプ型昇圧回路では、正の昇圧回路と負の昇圧回路を独立に構成した場合、チャージポンプを構成するトランジスタスイッチを動作させるゲートの信号はそれぞれ振幅 $|VP|$ と $|VN| + VDD$ である。一方、負の昇圧電圧を、正の昇圧電圧の極性を反転させて生成する構成では、前者に比べて、トランジスタスイッチやコンデンサ数を低減することが可能であり、電源回路の小型軽量化に効果的である。しかしながら、ゲート信号の振幅が $(|VP| + |VN|)$ と高くなるため、回路を構成するトランジスタにはより高い耐圧特性が必要となる。そこで本発明の目的は、入力電圧をより高い電圧に昇圧するチャージポンプ型昇圧回路において、従来よりも低い耐圧電圧のトランジスタで構成可能な回路構成を提供することにある。

【0029】

【課題を解決するための手段】

前記課題を解決するため請求項 1 の発明は、複数のコンデンサと複数のスイッチング素子とを具備し、入力電圧をより高い電圧に昇圧させるチャージポンプ回

路と、クロック信号から前記スイッチング素子を駆動するためのゲート信号を生成するレベルシフト回路とからなる昇圧回路であって、互いに異なるレベルのゲート信号を生成するレベルシフト手段を少なくとも2つ以上具備し、前記昇圧電圧を発生させるために前記ゲート信号のうちレベルが昇圧電圧に達しないゲート信号を少なくとも1つ以上用いることを特徴とする。

【0030】

前記昇圧回路によれば、レベルシフト手段を複数具備することで、各レベルシフト手段が出力する、スイッチング素子を駆動するゲート信号の振幅を、単一のレベルシフト手段によってゲート信号を生成する場合に比べて、低減することができる。これにより回路を構成するトランジスタの耐圧の低減、および回路が消費する電力の低減を図ることが可能となる。

【0031】

本願の請求項3の発明は、請求項1の発明において、正の昇圧電圧を発生させる正昇圧手段と、前記正の昇圧電圧のうち少なくとも1つの極性を反転させて絶対値の等しい負の昇圧電圧を発生させる極性反転手段とを具備し、第1のレベルシフト手段が生成するゲート信号の高レベルが前記正の昇圧電圧であり、低レベルが前記負の昇圧電圧以上であり、また第2のレベルシフト手段が生成するゲート信号の低レベルが前記負の昇圧電圧であり、高レベルが前記正の昇圧電圧以下であることを特徴としている。第1のゲート信号により前記正昇圧手段に含まれる正昇圧電圧端子に接続されたスイッチング素子を駆動することが可能となり、また第2のゲート信号により前記極性反転手段に含まれる負昇圧電圧端子に接続されたスイッチング素子を駆動することが可能となる。

【0032】

本願の請求項4の発明は、請求項3の発明において前記負の昇圧電圧を生成する前記極性反転手段に含まれるスイッチング素子を駆動するために、前記第2のレベルシフト手段の出力に加えて、前記第1のレベルシフト手段の出力も用いることを特徴としている。

【0033】

また本願の請求項5の発明は、前記極性反転手段において前記正昇圧手段の出

力端子と前記極性反転コンデンサを接続する前記スイッチング素子を駆動する信号が、前記第1のレベルシフト手段の出力であることを特徴としている。正昇圧電圧のレベルをとる第1のゲート信号により、前記正昇圧手段の出力端子と前記極性反転コンデンサを接続する前記スイッチング素子を駆動することが可能となる。

【0034】

本願の請求項6の発明は、請求項3の発明において前記第2のレベルシフト手段が生成するゲート信号の高レベルが0Vであることを特徴としている。すなわち請求項3において規定されているとおり第2のレベルシフト手段が生成するゲート信号の低レベルは負の昇圧電圧であるから、第2のレベルシフト手段の出力は0Vと負の昇圧電圧の2値をとる信号となる。これによりゲート信号の振幅は負の昇圧電圧の絶対値まで低減される。

【0035】

本願の請求項7の発明は、請求項6の発明において前記第2のレベルシフト手段に、振幅を変えずに2値のレベルを変換するクランプ回路が含まれることを特徴としている。これにより、正電圧と0Vの2値をとるクロック信号を0Vと前記正電圧を極性反転した負電圧をとる信号に変換し、これをさらに0Vと前記負の昇圧電圧をとる信号に変換することができる。

【0036】

本願の請求項8の発明は、請求項1の発明において、前記正昇圧手段が発生する最大の正昇圧電圧よりも低い中間昇圧電圧を出力するためのスイッチング素子を具備することを特徴としている。前記中間昇圧電圧を前記極性反転手段に入力することで絶対値が前記中間昇圧電圧と等しい負の昇圧電圧を出力することが可能となり、前記正の昇圧電圧と前記負の昇圧電圧の昇圧倍率が異なる場合にも本発明を適用することができる。

【0037】

本願の請求項9の発明は、請求項3の発明に含まれる入力電圧の2倍の正の電圧を発生させる回路が、入力電源と接地点の間に第1のスイッチング素子と第2のスイッチング素子が直列に接続され、入力電源と2倍昇圧出力端子の間に第3

のスイッチング素子と第4のスイッチング素子が直列に接続され、第1の充電コンデンサが、前記第1のスイッチング素子と前記第2のスイッチング素子の接続点と、前記第3のスイッチング素子と前記第4のスイッチング素子の接続点にて接続される回路によって構成され、前記入力電源に接続される前記第1のスイッチング素子と前記第3のスイッチング素子を駆動する信号が、前記第2のレベルシフト手段の信号であることを特徴としている。前記正の2倍昇圧回路を構成するスイッチング素子の駆動に前記第2のレベルシフト手段の信号、すなわち負の昇圧電圧を低レベルとする信号を用いることでスイッチング素子が導通した際のオン抵抗を下げるができる。これにより電源回路として負荷特性が改善される。

【0038】

本願の請求項10の発明は、請求項1の発明において、前記昇圧回路が前記入力電圧と入力電圧の $(n-1)$ 倍の電圧から入力電圧の n 倍の昇圧電圧を発生させるチャージポンプ回路と、高レベルが入力電圧の $(n-1)$ 倍である信号を高レベルが入力電圧の n 倍である信号に、振幅を変えずにレベル変換するレベルシフト手段によって構成されることを特徴としている。各レベルシフト手段が生成するゲート信号の振幅は昇圧電圧と無関係に決定されるため、ゲート信号の振幅を昇圧電圧以下にすることが可能となる。

【0039】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して詳細に説明する。まず、第1の実施の形態について説明する。第1の実施の形態は入力電圧 V_{DD112} から K 倍の昇圧電圧 $K \times V_{DD}$ と $-K$ 倍の昇圧電圧 $-K \times V_{DD}$ を生成するチャージポンプ型昇圧回路である。ここで、 K は2以上の任意の整数である。図1は本発明に係るチャージポンプ型昇圧回路の第1の実施の形態の構成図である。

【0040】

同図に示すように、チャージポンプ型昇圧回路は入力電圧 V_{DD112} を K 倍に昇圧するチャージポンプ昇圧回路（以下 K 倍C.P.と記す）21と、極性反転回路（以下、 -1 倍C.P.と記す）22と、ゲート信号を生成するレベルシ

フト回路 201 および 202 と、出力電圧を保持するコンデンサ 11 および 12 とで構成される。

【0041】

K 倍 C. P. 21 は第 1 の従来例と同様に、レベルシフト回路 201 が生成するゲート信号 $\phi 11$ と $\phi 12$ を用いて、入力電圧 $VDD 112$ から昇圧電圧 $K \times VDD$ を生成し、正昇圧出力端子 $VP 114$ から出力する。

【0042】

-1 倍 C. P. 22 は第 2 の従来例の -1 倍 C. P. 32 (図 22 参照) とは異なり、ゲート信号 $\phi 11$, $\phi 13$ および $\phi 14$ を用いて、先に昇圧された $K \times VDD$ の極性を反転させて、負昇圧出力端子 $VN 115$ に $-K \times VDD$ を出力する。

【0043】

ゲート信号 $\phi 11$ と $\phi 12$ を生成するレベルシフト回路 201 およびゲート信号 $\phi 13$ と $\phi 14$ を生成するレベルシフト回路 202 は第 1 の従来例 (図 17 参照) と構成および機能は同じであり、 $\phi 11$ と $\phi 12$ はレベルが $K \times VDD$ と 0 V の信号であり、 $\phi 13$ と $\phi 14$ はレベルが VDD と $-K \times VDD$ の信号である。

【0044】

ここでは、本発明の特徴である極性反転回路 22 の構成について図 2 を用いて説明する。図 2 は極性反転回路 22 の一例の回路図である。正昇圧入力端子 $VR 116$ と接地点の間で P 型チャネルトランジスタ 401 と N 型チャネルトランジスタ 402 とが直列接続され、負昇圧出力端子 $VN 115$ と接地点の間で N 型チャネルトランジスタ 403 と 404 とが直列接続され、極性反転用充電コンデンサ 405 の両端子が、P 型チャネルトランジスタ 401 と N 型チャネルトランジスタ 402 との接続点と、N 型チャネルトランジスタ 403 と 404 との接続点にそれぞれ接続される。ゲート信号 $\phi 11$ が P 型チャネルトランジスタ 401 および N 型チャネルトランジスタ 402 のゲート端子に接続され、 $\phi 13$ が N 型チャネルトランジスタ 403 のゲート端子に、 $\phi 14$ が N 型チャネルトランジスタ 404 のゲート端子にそれぞれ接続される。

【0045】

以下に、図2の回路のゲート信号レベルおよびトランジスタへの接続の組み合わせを決定した根拠について述べる。図3はK倍昇圧電圧の極性反転に必要なゲート電圧（回路22）の一例を示す図である。同図に示した「オンに必要なゲート電圧」とはトランジスタのゲート・ソース間電圧 V_{gs} の絶対値がトランジスタの閾値電圧の絶対値以上となる条件とした。ここで、トランジスタの閾値はP型チャネルトランジスタで V_{tp} （ただし、 $-V_{DD} < V_{tp} < 0V$ ）、N型チャネルトランジスタで V_{tn} （ただし $0V < V_{tn} < V_{DD}$ ）である。また「オフに必要なゲート電圧」とは V_{gs} が $0V$ となる条件であるとした。トランジスタ401、402、403、404すべてを包含するゲート信号としては、第2の従来例（図22参照）のように $+K \times V_{DD}$ と $-K \times V_{DD}$ のレベルをとる互いに逆相の信号が挙げられるが、ゲート信号の振幅は $2K \times V_{DD}$ となる。

【0046】

そこで本発明では、異なるレベルのゲート信号を複数用いると各振幅を低減できることに着目した。例えば、 $+K \times V_{DD}$ と $+(K-1)V_{DD}$ のレベルをとる信号によりP型チャネルトランジスタ401がスイッチング可能であり、また $+V_{DD}$ と $-K \times V_{DD}$ のレベルをとる信号によりN型チャネルトランジスタ402、403、404がスイッチング可能である。この構成では最大電圧振幅は $(K+1)V_{DD}$ に低減される。

【0047】

また別の組み合わせによると、 $+K \times V_{DD}$ と $0V$ のレベルをとる信号によりP型チャネルトランジスタ401およびN型チャネルトランジスタ402をスイッチングし、 $+V_{DD}$ と $-K \times V_{DD}$ のレベルをとる信号によりN型チャネルトランジスタ403および404をスイッチングすることが可能である。

【0048】

両者ともに、用いる電圧レベルは $+V_{DD}$ 、 $+K \times V_{DD}$ 、 $-K \times V_{DD}$ とすべて図1の昇圧回路により生成されている電圧であり、新たに生成する必要はない。さらに後者には、2つの利点、すなわち最大振幅は $(K+1)V_{DD}$ のままP型チャネルトランジスタ401およびN型チャネルトランジスタ402のオ

ン時の V_{gs} 絶対値を大きくとれるため、オン抵抗が下げられる点と、正昇圧回路 21 による K 倍昇圧に用いたゲート信号が共用できる点がある。よって図 1 の回路では後者のゲート信号組み合わせを用いている。

【0049】

次に、第 1 の実施の形態の動作、特に極性反転の動作を図 1 および図 2 を参照しながら説明する。CLK 信号 113 が低レベル (0 V) であるとき、 $\phi 11$ の低レベル (0 V) により P 型チャネルトランジスタ 401 がオンし、 $\phi 14$ の高レベル (VDD) により N 型チャネルトランジスタ 404 がオンして、極性反転用充電コンデンサ 405 には正昇圧出力 VP114 の電位すなわち $K \times VDD$ が充電される。次に CLK 信号 113 が高レベル (VDD) であるとき、 $\phi 11$ の高レベル ($K \times VDD$) により N 型チャネルトランジスタ 402 がオンし、 $\phi 13$ の高レベル (VDD) により N 型チャネルトランジスタ 403 がオンして、負昇圧出力端子 VN115 の電位は $-K \times VDD$ となり、その電位は保持コンデンサ 12 により保たれる。

【0050】

以上をまとめると、入力電圧を K 倍昇圧した電圧と、 K 倍昇圧電圧を極性反転して $-K$ 倍昇圧電圧を出力するチャージポンプ型昇圧回路では、昇圧電圧を電源とした 2 つのレベルシフト回路が出力するゲート信号、すなわち K 倍昇圧電圧と 0 V の 2 値をとる信号と、入力電圧と $-K$ 倍昇圧電圧の 2 値をとる信号により、チャージポンプ回路を構成するトランジスタを制御することが可能である。ただし、 K 倍昇圧出力 VR116 と極性反転用充電コンデンサ 405 を接続するトランジスタ 401、402 のゲート信号は、 K 倍昇圧電圧と 0 V の 2 値をとる信号 $\phi 11$ である。その際、レベルシフト回路に印加される電圧の振幅は、最大で入力電圧の $(K+1)$ 倍である。

【0051】

次に、本発明の第 2 の実施の形態として、極性反転回路を改良した回路例について説明する。図 4 は本発明に係るチャージポンプ型昇圧回路の第 2 の実施の形態の構成図である。同図に示した構成は、入力電圧 VDD112 から K 倍の昇圧電圧 $K \times VDD$ と $-K$ 倍の昇圧電圧 $-K \times VDD$ を生成するチャージポンプ型昇圧

回路である。図 1 に示した第 1 の実施の形態との違いはレベルシフト回路 204 と極性反転回路 23 であり、その他の構成は第 1 の実施の形態と同様である。したがって、レベルシフト回路 204 と極性反転回路 23 以外の構成については説明を省略する。

【0052】

レベルシフト回路 204 は例えば図 5 のように構成される。図 5 はレベルシフト回路 204 の一例の回路図である。その特徴は、入力される CLK 信号 113 のレベル VDD と 0 V の 2 値を、コンデンサ 251 とダイオード 252 で構成されるクランプ回路により 0 V と $-VDD$ の 2 値にレベル変換し、次段のレベルシフト回路により 0 V と負昇圧出力端子 VN115 の電位 $-K \times VDD$ の 2 値にレベル変換して $\phi 15$ として出力する点である。

【0053】

この場合、信号振幅の最大値は $K \times VDD$ であるため、第 1 の実施の形態よりもトランジスタ耐圧条件が緩和される。ここで、 $\phi 15$ と同様の信号は以下のようにしても生成することができる。すなわち図 1 に示したレベルシフト回路 202 の電源を 0 V と $-K \times VDD$ へ変更すること、および入力するクロック信号 113 の 2 値を 0 V と $-VDD$ へ変更することである。

【0054】

次に、振幅 $K \times VDD$ のゲート信号 $\phi 15$ により極性反転を行う極性反転回路 23 について説明する。図 6 は極性反転回路 23 の一例の回路図である。同図を参照すると、極性反転回路 23 は正昇圧入力端子 VR116 と接地点の間に直列接続された P 型チャネルトランジスタ 401 および N 型チャネルトランジスタ 402 と、負昇圧出力端子 VN115 と接地点の間に直列接続された N 型チャネルトランジスタ 403 および P 型チャネルトランジスタ 406 と、P 型チャネルトランジスタ 401 と N 型チャネルトランジスタ 402 との接続点および N 型チャネルトランジスタ 403 と P 型チャネルトランジスタ 406 との接続点にそれぞれ接続された極性反転用充電コンデンサ 405 とから構成される。

【0055】

そして、ゲート信号 $\phi 11$ が P 型チャネルトランジスタ 401 および N 型チャ

ネルトランジスタ 402 のゲート端子に接続され、 $\phi 15$ が N 型チャネルトランジスタ 403 および P 型チャネルトランジスタ 406 のゲート端子にそれぞれ接続される。ゲート信号の決定は、図 7 に示した本極性反転回路 23 のトランジスタに必要なゲート電圧を根拠とした。

【0056】

図 7 は K 倍昇圧電圧の極性反転に必要なゲート電圧（回路 23）の一例を示す図である。同図に示した第 1 の実施の形態の極性反転回路 22 との違いは P 型チャネルトランジスタ 406 である。このトランジスタに必要なゲート電圧は 0 V 以下であることから、0 V と $-K \times VDD$ の 2 値をとるゲート信号によって P 型チャネルトランジスタ 406 および N 型チャネルトランジスタ 403 をオンオフ動作させることができる。この場合ゲート信号の振幅は $K \times VDD$ であり、第 1 の実施の形態におけるゲート信号 $VDD \sim -K \times VDD$ よりも振幅が低減される。

【0057】

次に、本発明の第 3 の実施の形態として、正昇圧電圧と負昇圧電圧の倍率が異なる例について説明する。図 8 は本発明に係るチャージポンプ型昇圧回路の第 3 の実施の形態の構成図である。同図に示した構成は、入力電圧 VDD_{112} から L 倍の昇圧電圧 $L \times VDD$ と $-K$ 倍の昇圧電圧 $-K \times VDD$ を生成するチャージポンプ型昇圧回路である。ここで K および L は 2 以上の整数で、 $L > K$ とする。

【0058】

第 1 の実施の形態との違いは K 倍昇圧電圧を出力する K 倍 C. P. 21（図 1 参照）を、L 倍昇圧電圧の他に中間電位である K 倍昇圧電圧を出力する L 倍 C. P. 24 に置換した点であり、その他の構成は第 1 の実施の形態と同様である。したがって、L 倍 C. P. 24 以外の構成については説明を省略する。なお、中間昇圧電位 $K \times VDD$ を出力する端子 117 は極性反転回路 22 の正昇圧入力端子 VR116 に結線される。またレベルシフト回路 201 の電源 VP114 の電位は $L \times VDD$ となる。

【0059】

ここで L 倍昇圧回路（L 倍 C. P.）24 について説明する。図 9 は L 倍昇圧

回路 24 の一例の回路図である。同図を参照すると、本構成と図 20 に示した K 倍昇圧回路 21 の違いは、本構成は L 段までチャージポンプ回路を拡張した点と、第 (K-1) 段の充電コンデンサ 316 の中間電位端子 317 と K 倍昇圧端子 117 との間に P 型チャネルトランジスタ 315 を接続した点である。P 型チャネルトランジスタ 315 のゲート信号は $\phi 11$ である。

【0060】

以下に、上記昇圧回路の動作を説明する。CLK 信号 113 が高レベル (VDD) であるとき、 $\phi 12$ の低レベル (0V) により図 9 の P 型チャネルトランジスタ 303, 308, 314, 321, 327 がオンし、 $\phi 11$ の高レベル ($L \times VDD$) により N 型チャネルトランジスタ 302, 307, 313, 320, 326 がオンして、充電コンデンサ 305, 310, 316, 323, 329 にはそれぞれ電源電圧 VDD が充電される。

【0061】

次に CLK 信号 113 が低レベル (0V) であるとき、 $\phi 11$ の低レベル (0V) により P 型チャネルトランジスタ 301, 304, 309, 315, 322, 328 がオンして、電源電圧 VDD 112 を充電した (L-1) 個の充電コンデンサと電源 VDD 112 が直列に接続され、正昇圧出力端子 VP 114 の電位は $L \times VDD$ となり、その電位は保持コンデンサ 11 により保たれる。このとき中間電位端子 317 の電位は電源電圧 VDD 112 を充電した (K-1) 個の充電コンデンサと電源 VDD 112 の直列接続により $K \times VDD$ となる。そして $\phi 11$ の低レベル (0V) により P 型チャネルトランジスタ 315 も同時にオンするため K 倍昇圧端子 117 からは $K \times VDD$ が出力される。

【0062】

図 8 に示すように K 倍昇圧端子 117 と極性反転回路 22 の正昇圧入力端子 VR 116 が結線されていることから、負昇圧出力端子 VN 115 からは $-K \times VDD$ が出力される。

【0063】

第 3 の実施の形態の特徴は、正昇圧電圧と負昇圧電圧の昇圧倍率が異なる場合においても正昇圧回路の中間電圧を用いて極性反転を行い、追加する部品はトラ

ンジスタスイッチ 1 つに抑えられている点である。

【0064】

次に、本発明の第 4 の実施の形態として、2 倍昇圧回路のトランジスタに接続するゲート信号を変更した例について説明する。図 10 は本発明に係るチャージポンプ型昇圧回路の第 4 の実施の形態の構成図である。同図に示した回路は入力電圧 V_{DD112} から K 倍の昇圧電圧 $K \times V_{DD}$ と $-K$ 倍の昇圧電圧 $-K \times V_{DD}$ を生成するチャージポンプ型昇圧回路であり、図 1 に示した第 1 の実施の形態との相違点は K 倍昇圧回路 25 のゲート信号の接続にあり、それ以外の構成は第 1 の実施の形態と同様である。したがって、 K 倍昇圧回路 25 以外の構成については説明を省略する。すなわち、第 1 の実施の形態では極性反転回路 22 にのみレベルシフト回路 202 の出力 $\phi 13$ および $\phi 14$ を用いていたが（図 1 参照）、第 4 の実施の形態では K 倍昇圧回路 25 にも $\phi 13$ および $\phi 14$ を用いる。

【0065】

図 11 は K 倍昇圧回路 25 の一例の回路図である。同図に示すように、2 倍昇圧電圧を生成する第 1 段の回路において入力電源 V_{DD112} に接続された P 型チャネルトランジスタ 301 および 303 のゲート端子に、 V_{DD} と $-K \times V_{DD}$ のレベルをとる信号 $\phi 13$ および $\phi 14$ をそれぞれ入力する。

【0066】

以下に K 倍昇圧回路 25 のうち 2 倍昇圧部のゲート信号を変更した根拠を述べる。図 12 に 2 倍電圧を昇圧する回路を構成するトランジスタに必要なゲート電圧の一例を示す。「オンに必要なゲート電圧」とはトランジスタのゲート・ソース間電圧 V_{gs} の絶対値がトランジスタの閾値電圧の絶対値以上となる条件であり、また「オフに必要なゲート電圧」とは V_{gs} が 0 V となる条件であるとした。

【0067】

トランジスタ 301, 302, 303, 304 すべてを包含するゲート信号としては、第 1 の実施の形態で示した $K \times V_{DD}$ と 0 V のレベルをとる信号が挙げられる。一方で、P 型チャネルトランジスタ 301 および 303 に関しては $+V_{DD}$ と $-K \times V_{DD}$ のレベルをとる信号によってもスイッチングが可能である。

この構成の場合、トランジスタ・オン時の V_{gs} 絶対値が大きくとれるためオン抵抗が下げられる点が利点である。さらに $+V_{DD}$ と $-K \times V_{DD}$ のレベルをとるゲート信号はすでに極性反転に用いられていることから、新たに生成する必要はない点も有利である。

【0068】

次に、本発明の第5の実施の形態として、単一極性の昇圧回路でレベルシフト回路が生成するゲート信号の振幅を昇圧電圧以下に低減する例について説明する。図13は本発明に係るチャージポンプ型昇圧回路の第5の実施の形態の構成図である。同図に示した回路は入力電圧 V_{DD} から5倍の昇圧電圧 $5V_{DD}$ を生成するチャージポンプ型昇圧回路26である。本昇圧回路26は、入力電圧 V_{DD} と $(n-1)$ 倍 (n は2以上の整数) の昇圧電圧から、 n 倍昇圧電圧を生成する昇圧ユニット27を4つ相互に接続することで構成される。

【0069】

図14は昇圧ユニット27の一例の回路図である。同図に示した昇圧ユニット27は、充電用N型チャネルトランジスタ501および502と、昇圧用P型チャネルトランジスタ503および504と、充電コンデンサ505と、電圧保持コンデンサ506と、レベルシフト回路205とによって構成される。図20の K 倍昇圧回路との相違点は、入力電源 V_{DD} 112に接続された充電用トランジスタ501にある。すなわち、図20では上記充電用トランジスタはP型チャネルトランジスタ（例えば303, 308）であり、本実施の形態の図14ではN型チャネルトランジスタ501である。N型チャネルトランジスタ501とすることで、トランジスタのオフ動作時のゲート電圧を昇圧する電圧 $n \times V_{DD}$ と無関係に決めることができる。

【0070】

クロック信号が高レベル (V_{DD}) のとき、充電用N型チャネルトランジスタ501および502をオンさせて充電コンデンサ505に入力電圧 V_{DD} 112が充電される。クロック信号が低レベル ($0V$) のとき、昇圧用P型チャネルトランジスタ503および504をオンさせて、端子122の電位 $(n-1) \times V_{DD}$ と充電コンデンサ505の電圧 V_{DD} の和である $n \times V_{DD}$ を端子121よ

り出力する。

【0071】

ここで示したチャージポンプ型昇圧回路には、従来のチャージポンプ回路として知られているディクソン (Dickson) 回路 (前述の非特許文献1 参照) と比較して充電に必要な電荷と時間を低減できる利点がある。本発明にて用いたチャージポンプ回路は、各充電コンデンサに入力電圧の1 倍を充電し、充電コンデンサを直列に接続して昇圧電圧を出力する方式である。一方、ディクソン回路は、各充電コンデンサに入力電圧の1 倍, 2 倍, 3 倍, . . . の電圧を充電していき、所望の倍率の昇圧電圧を出力する方式である。後者の場合コンデンサに充電する電荷が1 段ごとに増加していくため、前者と比較すると所望の昇圧電圧を得るために必要な充電電荷とそれを充電する時間が多くなる。

【0072】

N型チャネルトランジスタ502は閾値電圧以上のゲート電圧であればオンすることから、高レベルがVDD以上のゲート信号であれば十分である。また、ゲート電圧0Vであればオフされる。一方、N型チャネルトランジスタ501のオンに必要なゲート電圧は閾値電圧と入力電圧VDDの和以上であるため、高レベルが2VDD以上のゲート信号、例えば信号 $\phi(2)$ が必要である。またオフに必要な電圧はVDD以下であることから、信号 $\phi(3)$ も条件を満たす。これらの電圧は昇圧する電圧 $n \times VDD$ に無関係に決定できる。

【0073】

P型チャネルトランジスタ503はゲート電圧が端子122の電位 $(n-1) \times VDD$ より閾値電圧分低ければオンし、 $(n-1) \times VDD$ 以上であればオフすることから、信号 $\phi(n-1)$ によりオンオフ制御可能である。またP型チャネルトランジスタ504はゲート電圧が端子121の電位 $n \times VDD$ より閾値電圧分低ければオンし、 $n \times VDD$ 以上であればオフすることから、信号 $\phi(n)$ によりオンオフ制御可能である。

【0074】

図15はレベルシフト回路205の一例の回路図である。同図に示したレベルシフト回路205は上記P型チャネルトランジスタ504を動作させるゲート信

号を生成するために用いられる。その機能は高レベルが $(n-1) \times VDD$ の信号 $\phi(n-1)$ を、高レベルが $n \times VDD$ の信号 $\phi(n)$ にレベル変換することである。ここにおいて、レベルシフト回路を構成するトランジスタに印加される電圧の振幅は $2VDD$ 以下であり、昇圧する電圧には依存していない。

【0075】

なお、図13で示した例は4個の昇圧ユニットを用いた5倍昇圧であるが、一般化したK倍昇圧回路に関しても $(K-1)$ 個の昇圧ユニットを相互に接続することで構成可能である。

【0076】

第5の実施の形態の特徴は、昇圧回路を構成する複数のレベルシフト回路が生成する、互いに異なるレベルのゲート信号の振幅を、昇圧倍率に依存せずに決定することができる点であり、ゲート信号の振幅を昇圧電圧以下に低減することができる。これにより回路を構成するトランジスタの耐圧が低減されるとともに消費電力も低減される。従来のような $K \times VDD$ を出力するK倍チャージポンプ回路21と振幅 $K \times VDD$ のゲート信号を生成する1つのレベルシフト回路の組み合わせの場合、レベルシフト回路の消費電力はゲート信号の振幅電圧の2乗、すなわち $K^2 \times VDD^2$ に比例する。一方、本実施の形態のように振幅 $2VDD$ のゲート信号を生成する $(K-1)$ 個のレベルシフト回路の場合、消費電力は $(K-1) \times (2VDD)^2$ に比例する。両者を比較すると常に本実施の形態の消費電力が低いことがわかる。

【0077】

【実施例】

次に、本発明の実施例を、図面を参照して説明する。本実施例は、表示装置に必要な電圧を生成する電源回路で、入力電圧（以下 VDD ）からデータ線駆動回路に供給する2倍昇圧電圧とゲート線駆動回路に供給する3倍昇圧電圧および-2倍昇圧電圧を生成する機能を有する。図16は表示装置用電源回路の一例の回路図である。同図に示すように表示装置用電源回路はレベルシフト回路201および202と、出力電圧を保持するコンデンサ619、617、621と、チャージポンプ回路とから構成される。ここで、-2倍昇圧電圧は2倍昇圧の出力を

極性反転して発生させる。

【0078】

以下に図16を参照しながらチャージポンプ回路の構成を説明する。チャージポンプ回路は電源VDD112と接地点の間にP型チャネルトランジスタ601とN型チャネルトランジスタ602が直列接続され、また電源VDD112と2倍昇圧出力端子616の間にP型チャネルトランジスタ603と604が直列接続され、2倍昇圧用充電コンデンサ605の両端子が、P型チャネルトランジスタ601とN型チャネルトランジスタ602との接続点と、P型チャネルトランジスタ603と604との接続点にそれぞれ接続される。また2倍昇圧出力端子616と接地点の間にP型チャネルトランジスタ611とN型チャネルトランジスタ612とが直列接続され、-2倍昇圧出力端子620と接地点の間にN型チャネルトランジスタ613と614とが直列接続され、極性反転用充電コンデンサ615の両端子が、P型チャネルトランジスタ611とN型チャネルトランジスタ612との接続点と、N型チャネルトランジスタ613と614との接続点にそれぞれ接続される。

【0079】

また2倍昇圧出力616と接地点の間にP型チャネルトランジスタ606とN型チャネルトランジスタ607が直列接続され、電源VDD112と3倍昇圧出力端子618の間にP型チャネルトランジスタ608と609とが直列に接続され、3倍昇圧用充電コンデンサ610の両端子がP型チャネルトランジスタ606とN型チャネルトランジスタ607との接続点と、P型チャネルトランジスタ608と609との接続点にそれぞれ接続される。

【0080】

次に、各トランジスタのゲート端子に接続する信号について述べる。レベルシフト回路201の出力のうち、 $\phi 11$ がP型チャネルトランジスタ604、606、609、611とN型チャネルトランジスタ602、607、612のゲート端子に、 $\phi 12$ がP型チャネルトランジスタ608のゲート端子に接続される。またレベルシフト回路202の出力のうち、 $\phi 13$ がP型チャネルトランジスタ601および613のゲート端子に、 $\phi 14$ がP型チャネルトランジスタ60

3、N型チャネルトランジスタ614のゲート端子にそれぞれ接続される。

【0081】

本実施例において、レベルシフト回路201は電源として3倍昇圧出力電圧618を用いて、レベルがVDDと0である入力信号CLK113を3VDDと0Vレベルである信号 ϕ 11および ϕ 12にレベル変換を行う。またレベルシフト回路202は電源として入力電圧VDDと-2倍昇圧出力電圧620を用いて、レベルがVDDと0である入力信号CLK113をVDDと-2VDDのレベルである信号 ϕ 13および ϕ 14にレベル変換を行う。

【0082】

以下、本実施例の動作について、図16を用いて説明する。CLK信号113が高レベル(VDD)であるとき、 ϕ 14の低レベル(-2VDD)によりP型チャネルトランジスタ603がオンし、 ϕ 11の高レベル(3VDD)によりN型チャネルトランジスタ602がオンして、2倍昇圧用充電コンデンサ605にVDDが充電される。

【0083】

また ϕ 11の高レベル(3VDD)によりN型チャネルトランジスタ607がオンし、 ϕ 12の低レベル(0V)によりP型チャネルトランジスタ608がオンして、3倍昇圧用充電コンデンサ610がVDDに充電される。次にCLK信号が低レベル(0V)であるとき、 ϕ 13の低レベル(-2VDD)によりP型チャネルトランジスタ601がオンし、 ϕ 11の低レベル(0V)によりP型チャネルトランジスタ604がオンして2倍出力端子616の電位は2VDDとなり、その電位は保持コンデンサ617により保たれる。

【0084】

また ϕ 11の低レベル(0V)によりP型チャネルトランジスタ606、609がオンして、3倍昇圧出力端子618の電位は、2倍昇圧出力端子616の電位に充電コンデンサ610の電圧VDDを加えて3VDDとなり、その電位は保持コンデンサ619により保たれる。

【0085】

-2倍昇圧に関してはCLK信号が低レベル(0V)であるとき、 ϕ 11の低

レベル (0 V) により P 型チャネルトランジスタ 611 がオンし、 $\phi 14$ の高レベル (VDD) により N 型チャネルトランジスタ 614 がオンして、極性反転用充電コンデンサ 615 には 2 倍昇圧出力端子 616 の電位、2 VDD が充電される。次に CLK 信号が高レベル (VDD) であるとき、 $\phi 11$ の高レベル (3 VDD) により N 型チャネルトランジスタ 612 がオンし、 $\phi 13$ の高レベル (VDD) により N 型チャネルトランジスタ 613 がオンして、-2 倍出力端子 620 の電位は 2 VDD を極性反転した -2 VDD となり、その電位は保持コンデンサ 621 により保たれる。

【0086】

【発明の効果】

本発明により入力電圧をより高い電圧に昇圧するチャージポンプ型昇圧回路を、耐圧電圧の低いトランジスタで構成できる。これはトランジスタスイッチのオンオフを制御するゲート信号を出力するレベルシフト回路を 2 つ以上用いることで、それぞれのレベルシフト回路の出力するゲート信号の振幅を、1 つのレベルシフト回路を用いた場合より低減できるからである。トランジスタの耐圧電圧を下げられることから一般にゲート膜厚の薄い、ゲート長、ゲート幅の小さいトランジスタで回路が構成されるため、回路面積の低減が可能となる。また信号振幅が下がることから低電力化にも寄与する。

【0087】

本発明の第 2 の効果は正負、両極性の昇圧電圧を出力するチャージポンプ型昇圧回路を、耐圧電圧の低いトランジスタで構成できることである。これは入力電圧を VDD、正昇圧電圧 VP、負昇圧電圧 VN とした場合、VN を生成するために VP を極性反転し、かつトランジスタスイッチのオンオフを制御するゲート信号を VP と 0 V の 2 値をとる信号と VDD と VN の 2 値をとる信号の 2 つに分けたことで、ゲート信号の振幅が VP または $VDD + |VN|$ に低減されたためである。ここで VP を出力する端子と極性反転用コンデンサを接続するトランジスタスイッチの制御は、VP と 0 V の 2 値をとる信号により可能となる。

【0088】

本発明の第 3 の効果はさらなるゲート信号振幅の低減であり、極性反転に用い

るゲート信号を生成するレベルシフト回路にダイオードとコンデンサを用いたクランプ回路を入れることで、ゲート信号の振幅が V_N に低減される。

【0089】

本発明の第4の効果は正負の昇圧倍率が異なる場合においても、追加するトランジスタを最小限に抑えられる点である。それは正昇圧回路の中で中間昇圧電位を生じる端子に出力を取り出すためのトランジスタスイッチを接続してその出力を極性反転回路に供給するためである。

【0090】

本発明の第5の効果は、2倍昇圧電圧の電源としての特性を改善できることである。これは2倍昇圧に用いるトランジスタスイッチのうち、入力電源と2倍昇圧用充電コンデンサに接続されるトランジスタのオンオフ制御に V_{DD} と V_N の2値をとる信号を用いることで、トランジスタのオン時の V_{gs} 絶対値が $V_{DD} + |V_N|$ となりオン抵抗が低減されるためである。この効果は特にトランジスタの閾値電圧が入力電源程度に高い場合、例えば薄膜トランジスタで昇圧回路を構成した場合に有効である。

【0091】

本発明の第6の効果は、単一極性昇圧回路において、ゲート信号振幅を昇圧倍率と無関係に決定することができ、さらなるゲート信号振幅の低減が可能となる点である。

【図面の簡単な説明】

【図1】

本発明に係るチャージポンプ型昇圧回路の第1の実施の形態の構成図である。

【図2】

極性反転回路22の一例の回路図である。

【図3】

K倍昇圧電圧の極性反転に必要なゲート電圧（回路22）の一例を示す図である。

【図4】

本発明に係るチャージポンプ型昇圧回路の第2の実施の形態の構成図である。

【図 5】

レベルシフト回路 2 0 4 の一例の回路図である。

【図 6】

極性反転回路 2 3 の一例の回路図である。

【図 7】

K 倍昇圧電圧の極性反転に必要なゲート電圧（回路 2 3）の一例を示す図である。

【図 8】

本発明に係るチャージポンプ型昇圧回路の第 3 の実施の形態の構成図である。

【図 9】

L 倍昇圧回路 2 4 の一例の回路図である。

【図 1 0】

本発明に係るチャージポンプ型昇圧回路の第 4 の実施の形態の構成図である。

【図 1 1】

K 倍昇圧回路 2 5 の一例の回路図である。

【図 1 2】

2 倍電圧を昇圧する回路を構成するトランジスタに必要なゲート電圧の一例を示す図である。

【図 1 3】

本発明に係るチャージポンプ型昇圧回路の第 5 の実施の形態の構成図である。

【図 1 4】

昇圧ユニット 2 7 の一例の回路図である。

【図 1 5】

レベルシフト回路 2 0 5 の一例の回路図である。

【図 1 6】

表示装置用電源回路の一例の回路図である。

【図 1 7】

従来の昇圧回路の第 1 例の構成図である。

【図 1 8】

レベルシフト回路 2 0 1 の一例の回路図である。

【図 1 9】

レベルシフト回路 2 0 2 の一例の回路図である。

【図 2 0】

K 倍昇圧回路 2 1 の一例の回路図である。

【図 2 1】

負電圧昇圧回路 3 1 の一例の回路図である。

【図 2 2】

従来の昇圧回路の第 2 例の構成図である。

【図 2 3】

レベルシフト回路 2 0 3 の一例の回路図である。

【図 2 4】

極性反転回路 3 2 の一例の回路図である。

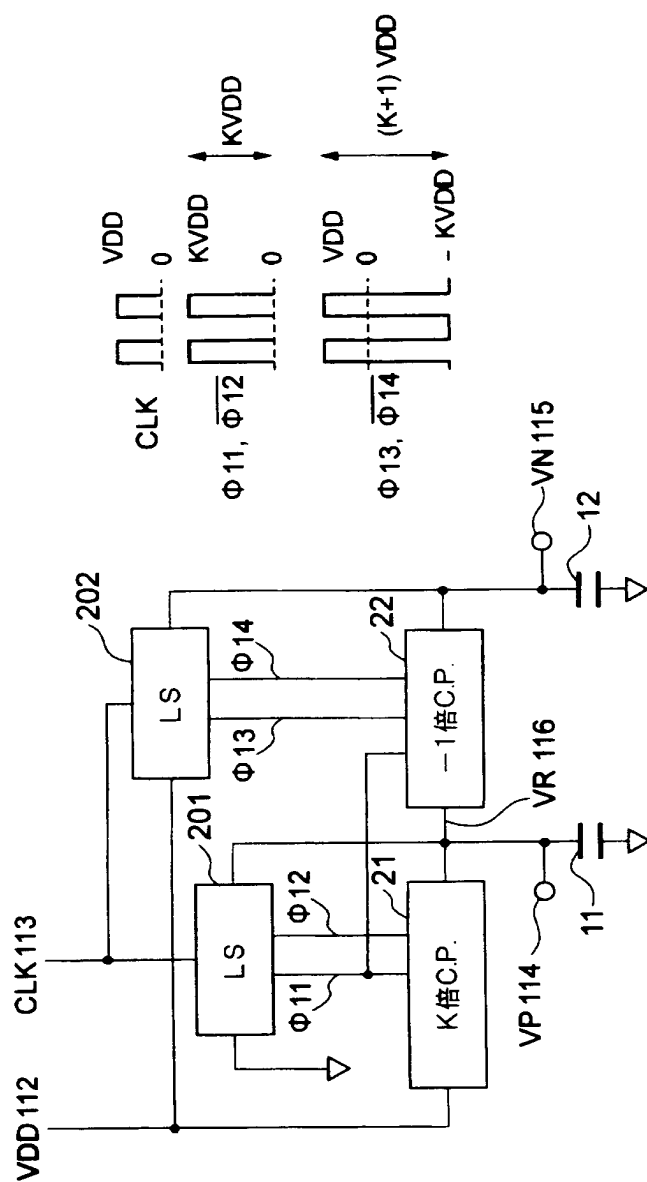
【符号の説明】

- 1 1 正出力電圧保持コンデンサ
- 1 2 負出力電圧保持コンデンサ
- 2 1、2 3 K 倍昇圧回路
- 2 2 - 1 倍昇圧回路
- 2 4 L 倍昇圧回路
- 2 5 K 倍昇圧回路
- 2 6 正電圧昇圧回路（5 倍）
- 2 7 昇圧ユニット
- 2 0 1, 2 0 2 レベルシフト回路
- 2 0 4, 2 0 5 レベルシフト回路

【書類名】

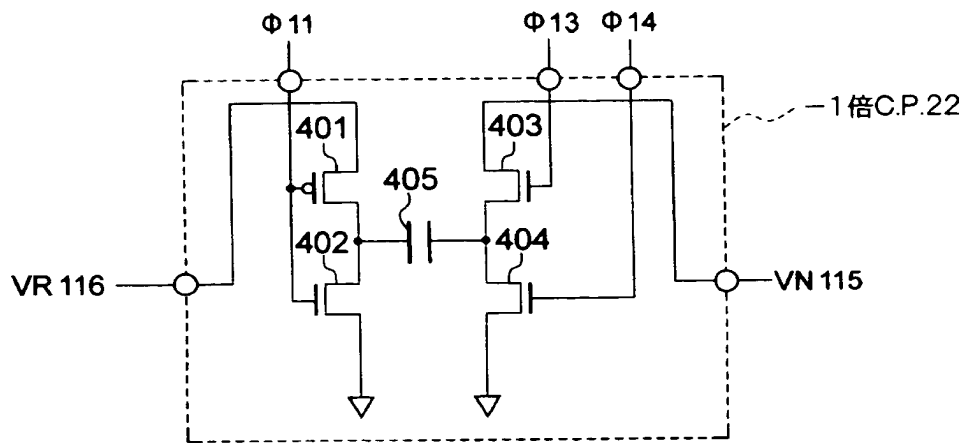
図面

【図 1】



第1の本発明の回路およびゲート信号

【図 2】



第1の本発明の極性反転回路 22

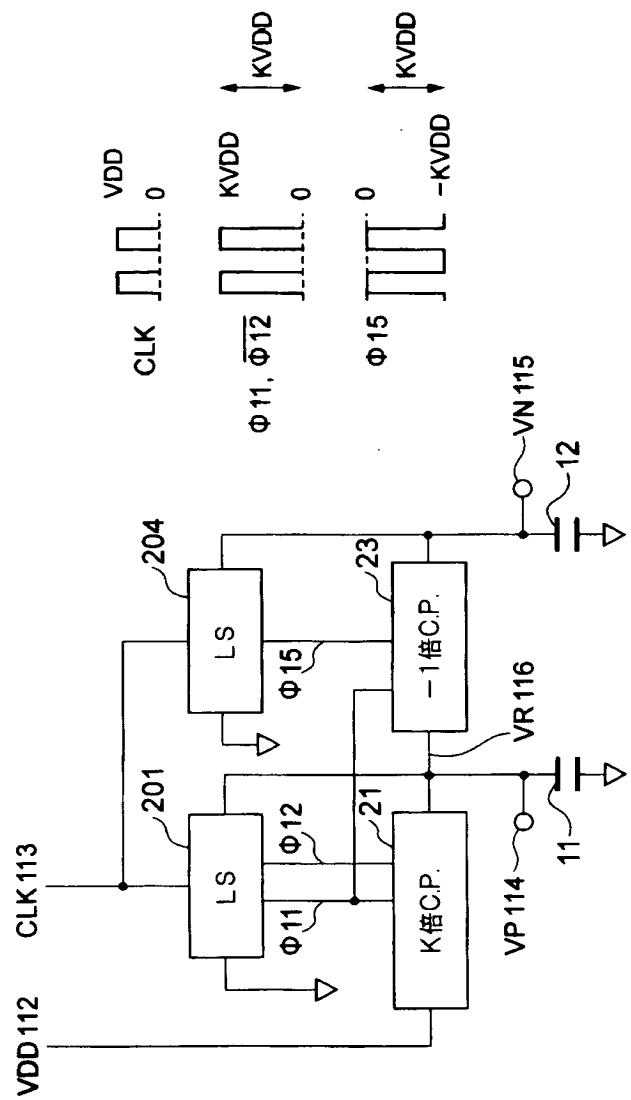
【図 3】

K倍昇圧電圧の極性反転に必要なゲート電圧(回路22)

スイッチトランジスタ	オンに必要なゲート電圧	オフに必要なゲート電圧
P-ch トランジスタ 401	$< K \times VDD - V_{tp} $	$> K \times VDD$
N-ch トランジスタ 402	$> V_{tn}$	$< 0V$
N-ch トランジスタ 403	$> V_{tn} - K \times VDD$	$< -K \times VDD$
N-ch トランジスタ 404	$> V_{tn}$	$< -K \times VDD$

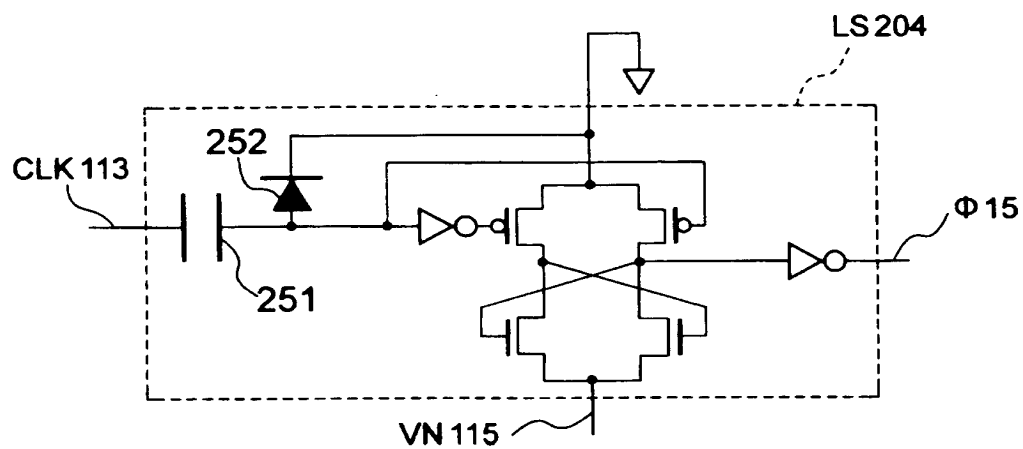
ここで、 V_{tp} はP-chトランジスタの閾値電圧($-VDD < V_{tp} < 0$)
 V_{tn} はN-chトランジスタの閾値電圧($VDD > V_{tn} > 0$)

【図 4】



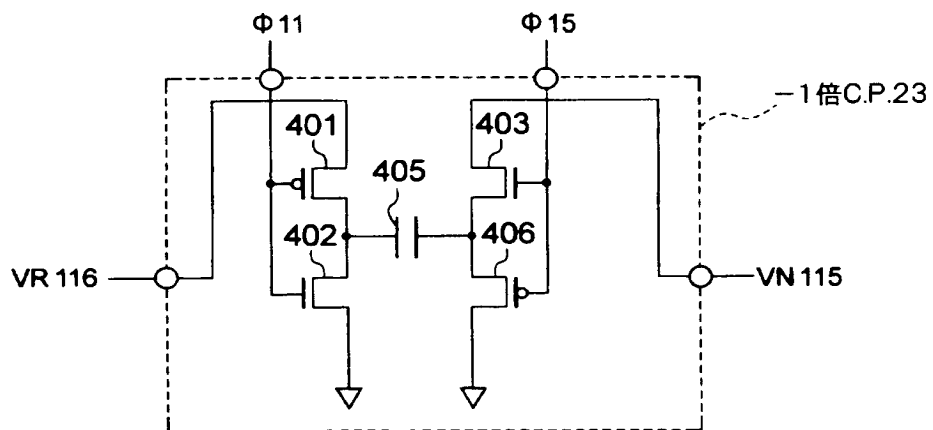
第2の本発明の回路およびゲート信号

【図 5】



第2の本発明のレベルシフト回路 204

【圖 6】



第2の本発明極性反転回路 23

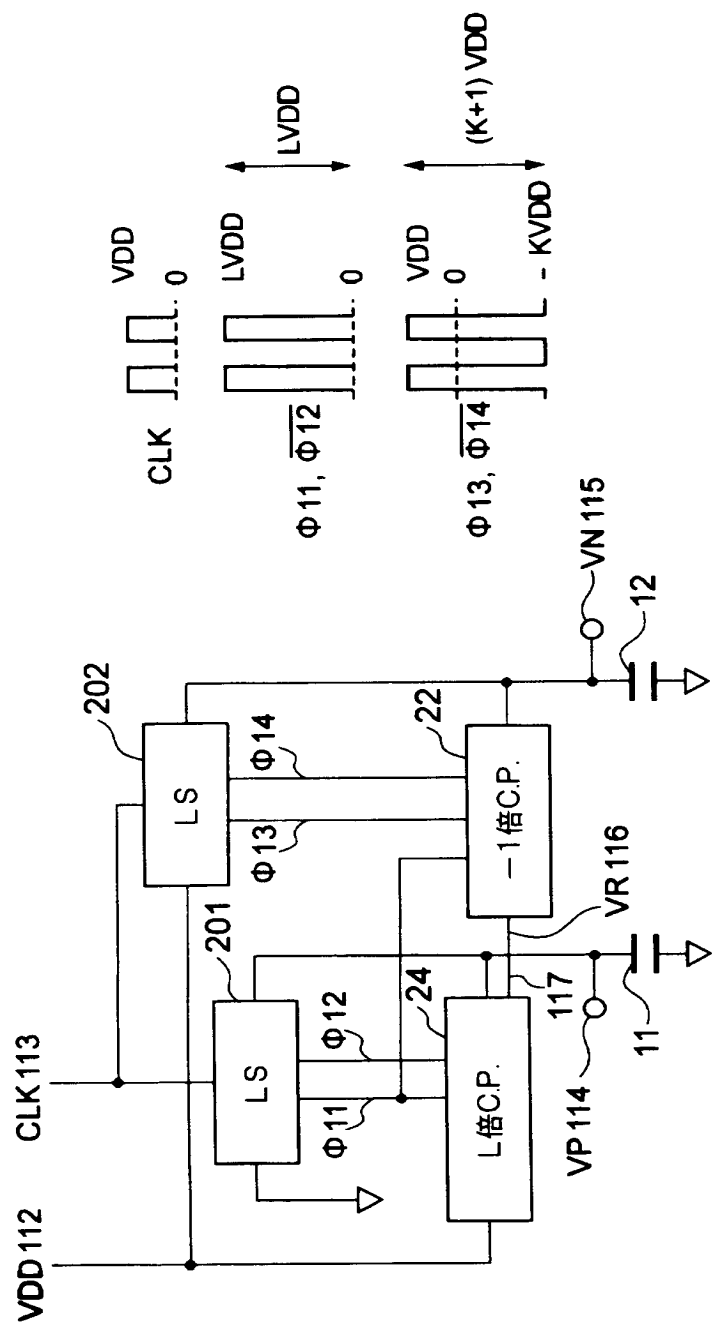
【図 7】

K倍昇圧電圧の極性反転に必要なゲート電圧(回路23)

スイッチトランジスタ	オンに必要なゲート電圧	オフに必要なゲート電圧
P-ch トランジスタ 401	$< K \times VDD - V_{tp} $	$> K \times VDD$
N-ch トランジスタ 402	$> V_{tn}$	$< 0V$
N-ch トランジスタ 403	$> V_{tn} - K \times VDD$	$< -K \times VDD$
P-ch トランジスタ 406	$< - V_{tp} $	$> 0V$

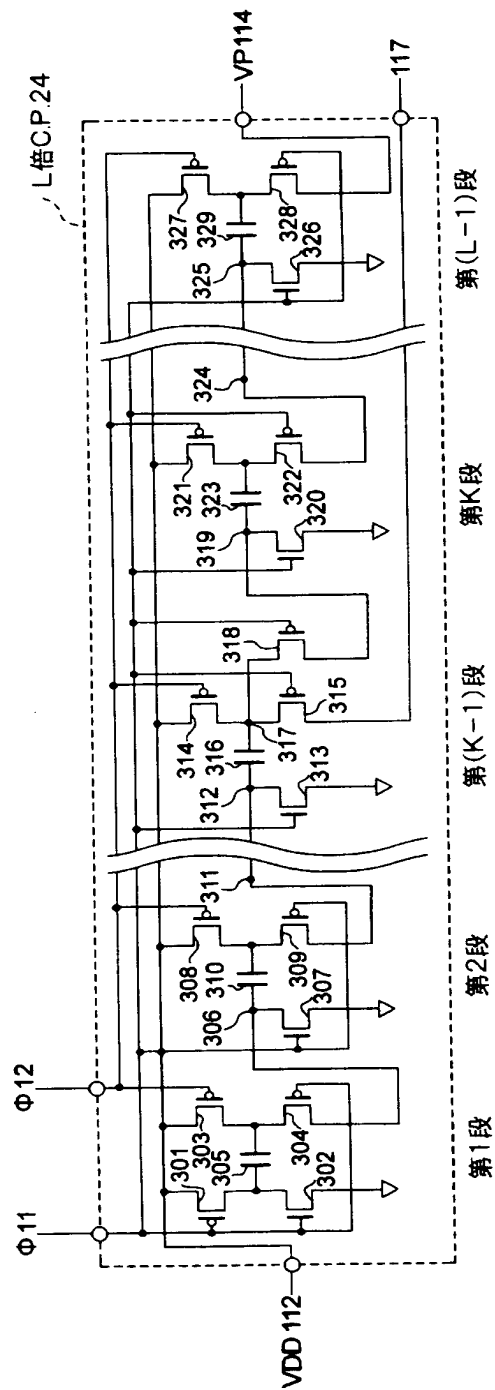
ここで、 V_{tp} はP-chトランジスタの閾値電圧($-VDD < V_{tp} < 0$)
 V_{tn} はN-chトランジスタの閾値電圧($VDD > V_{tn} > 0$)

【図 8】



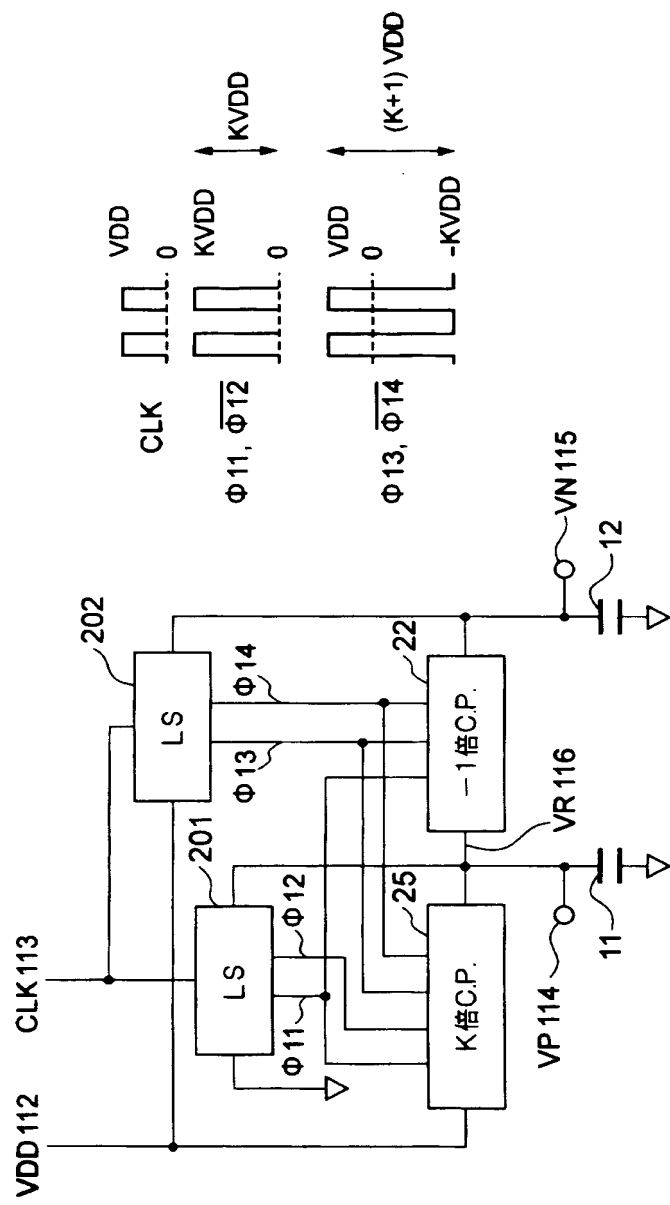
第3の本発明の回路およびギート信号

【図9】



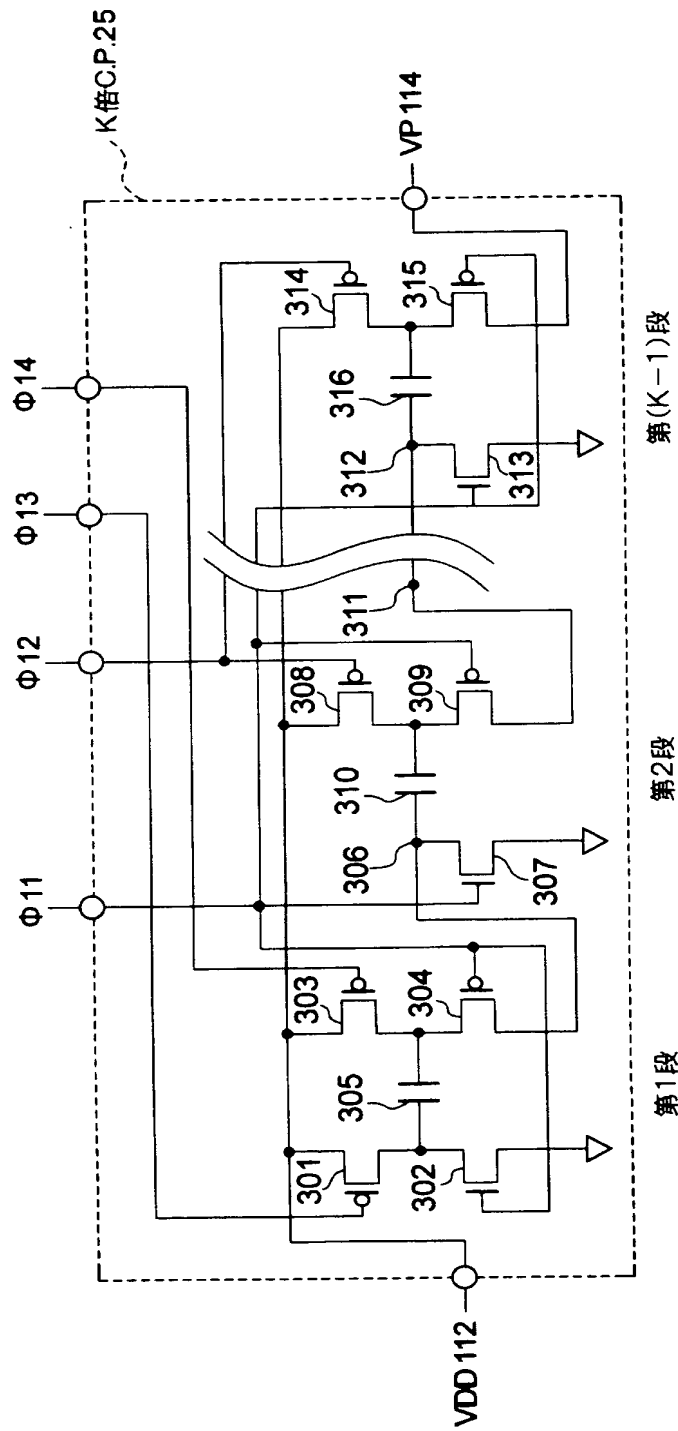
L倍昇圧回路 24

【図 10】



第4の本発明の回路およびゲード信号

【図 11】



第4の本発明のK倍昇圧回路 25

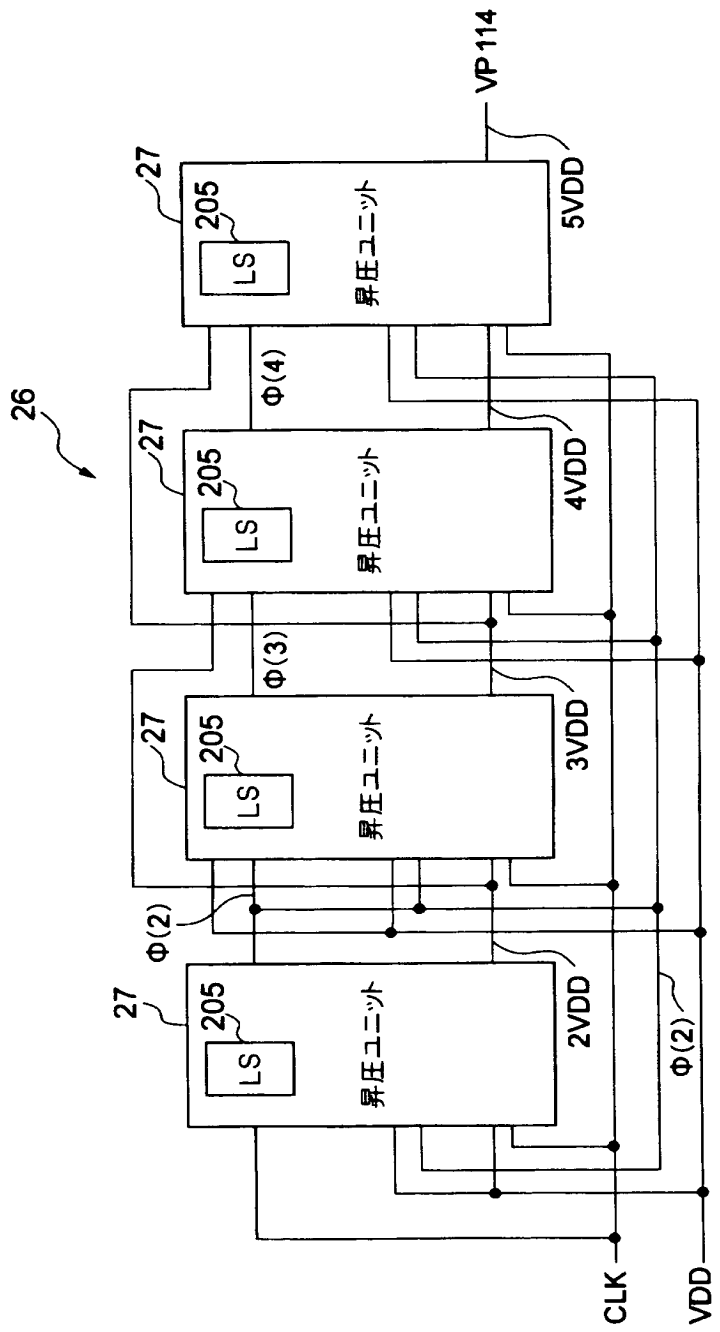
【図 1 2】

2倍昇圧に必要なゲート電圧(回路25)

スイッチトランジスタ	オンに必要なゲート電圧	オフに必要なゲート電圧
P-ch トランジスタ 301	$< VDD - V_{tp} $	$> VDD$
N-ch トランジスタ 302	$> V_{tn}$	$< 0V$
P-ch トランジスタ 303	$< VDD - V_{tp} $	$> VDD$
P-ch トランジスタ 304	$< 2VDD - V_{tp} $	$> 2VDD$

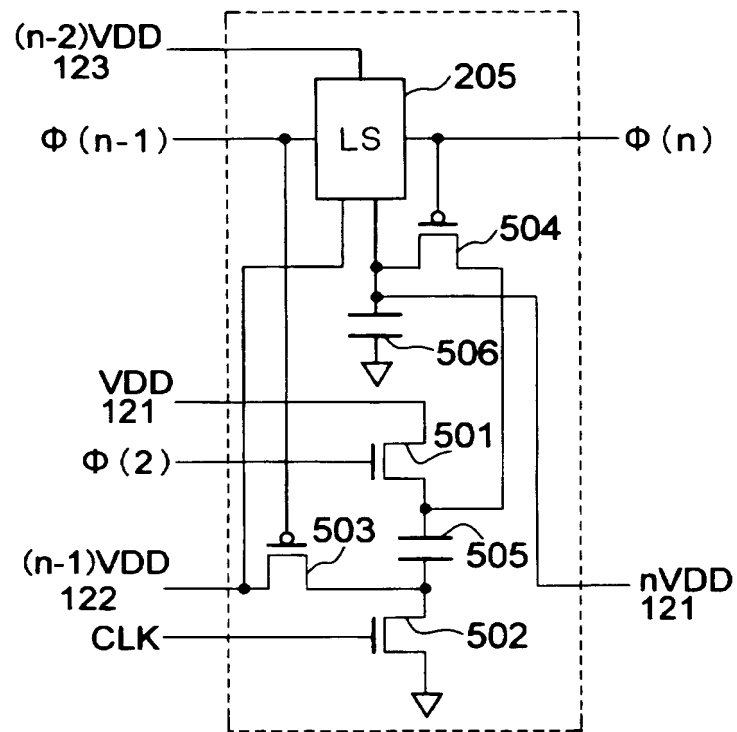
ここで、 V_{tp} はP-ch トランジスタの閾値電圧($-VDD < V_{tp} < 0$)
 V_{tn} はN-ch トランジスタの閾値電圧($VDD > V_{tn} > 0$)

【図 13】



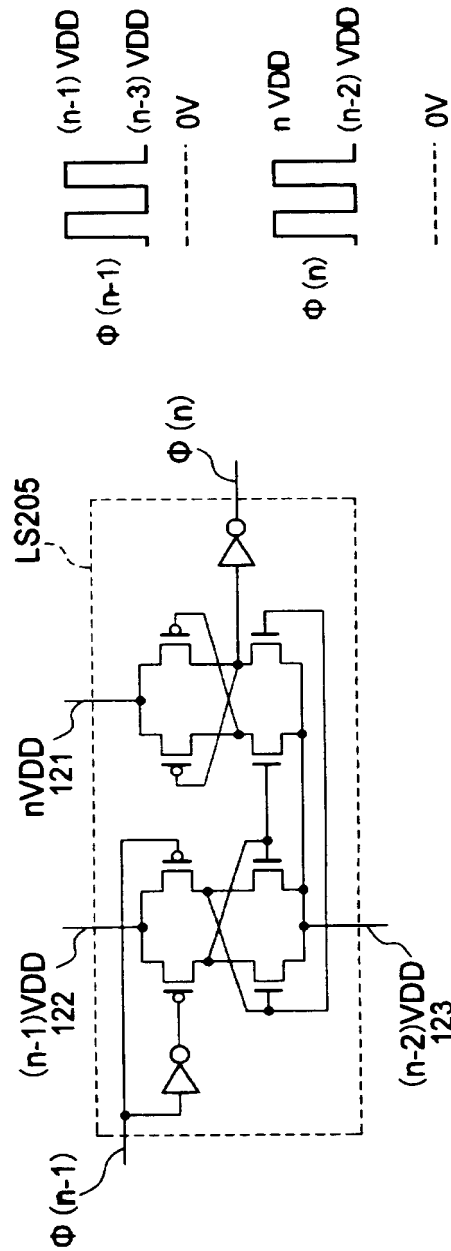
第5の本発明の昇圧回路(5倍) 26

【図 14】



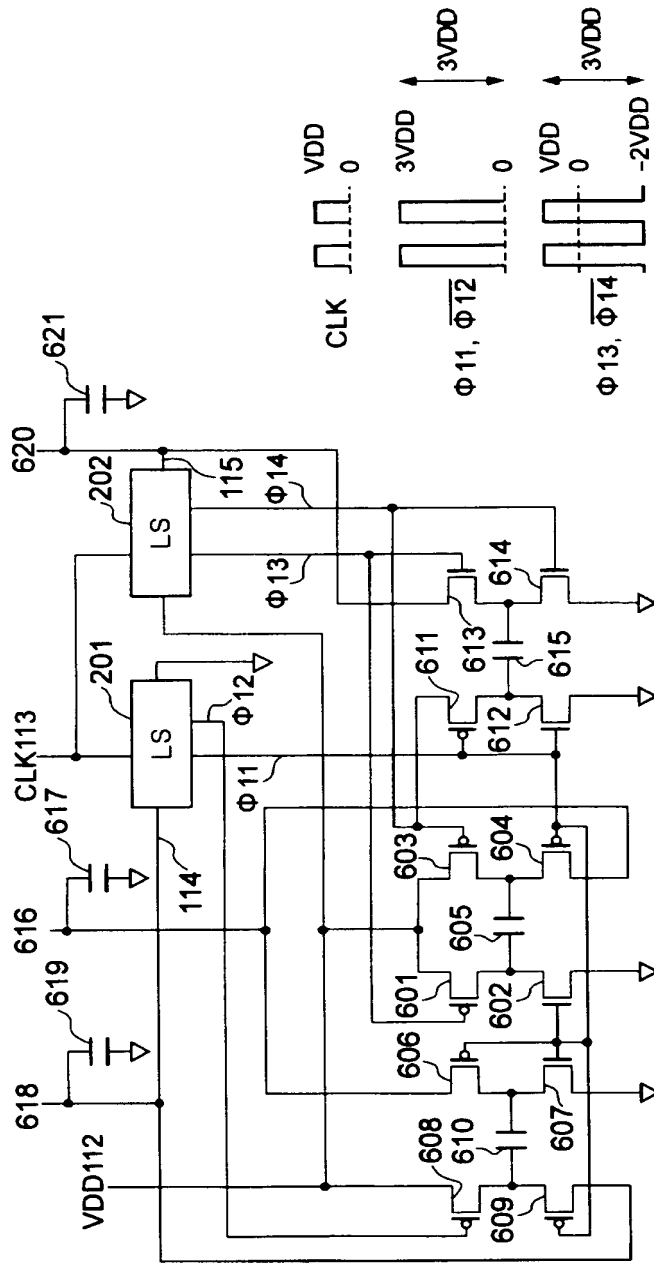
第5の本発明の昇圧ユニット 27

【図 15】



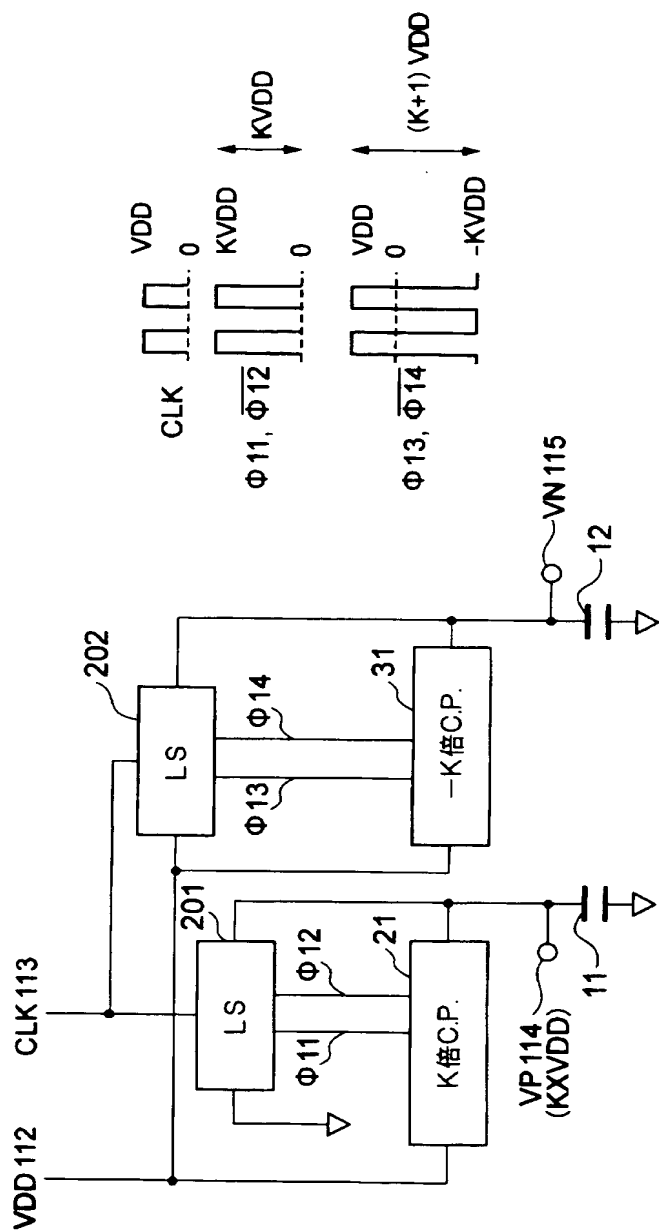
第5の本発明のレベルシフト回路 205

【図 16】



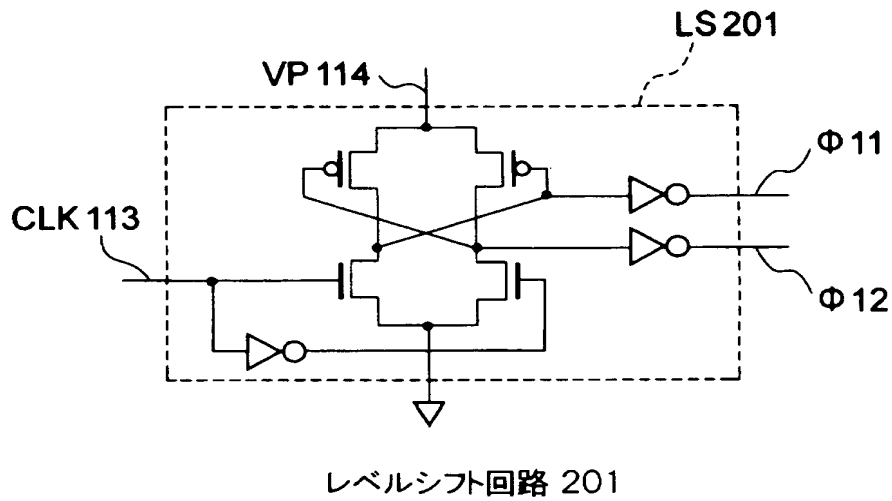
表示装置用電源回路

【図 17】

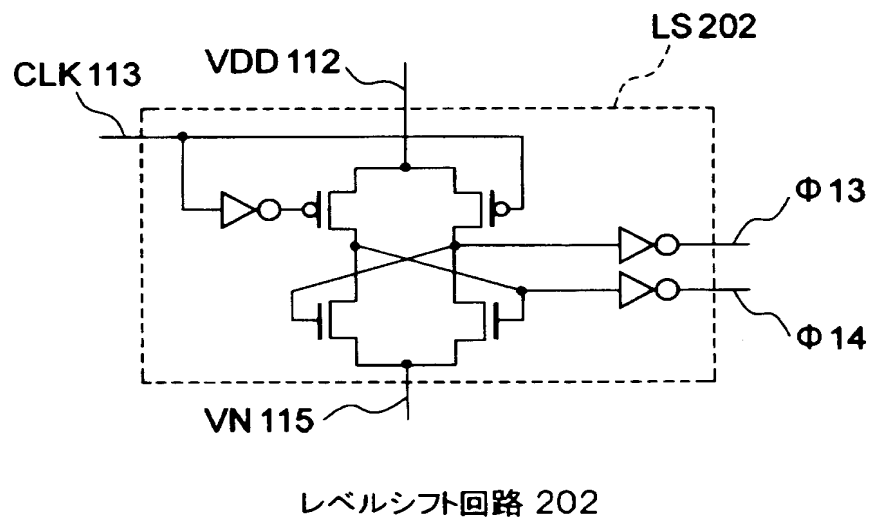


従来の昇圧回路およびゲート信号

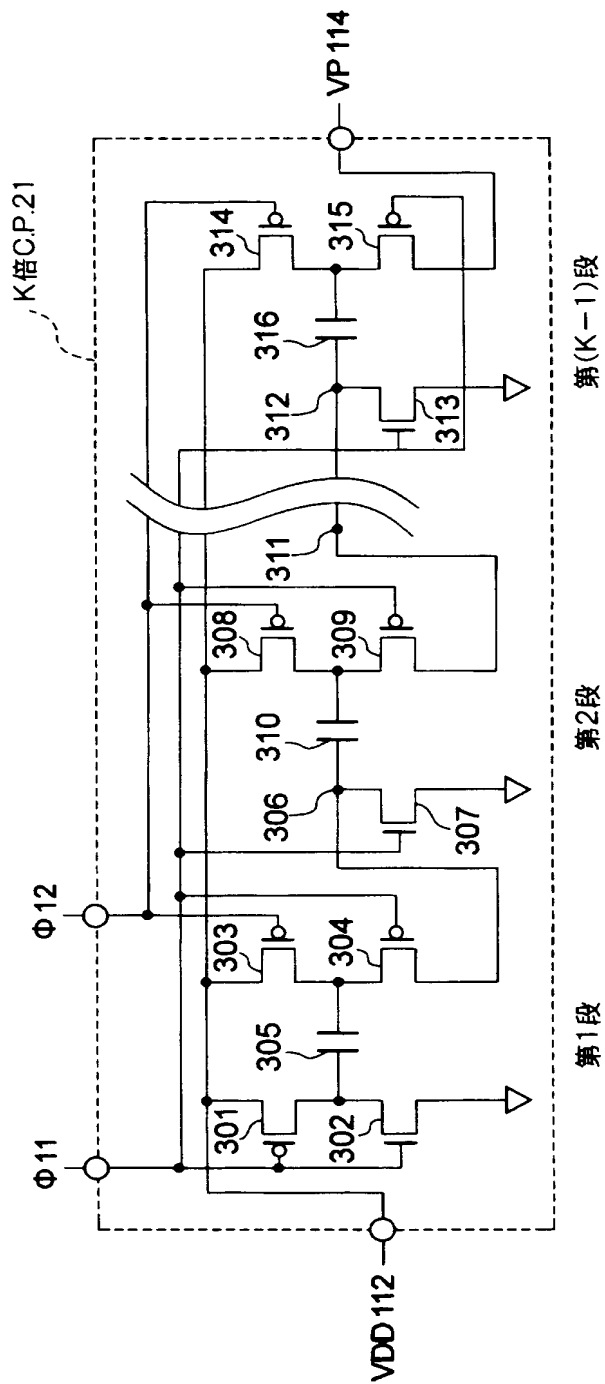
【図 18】



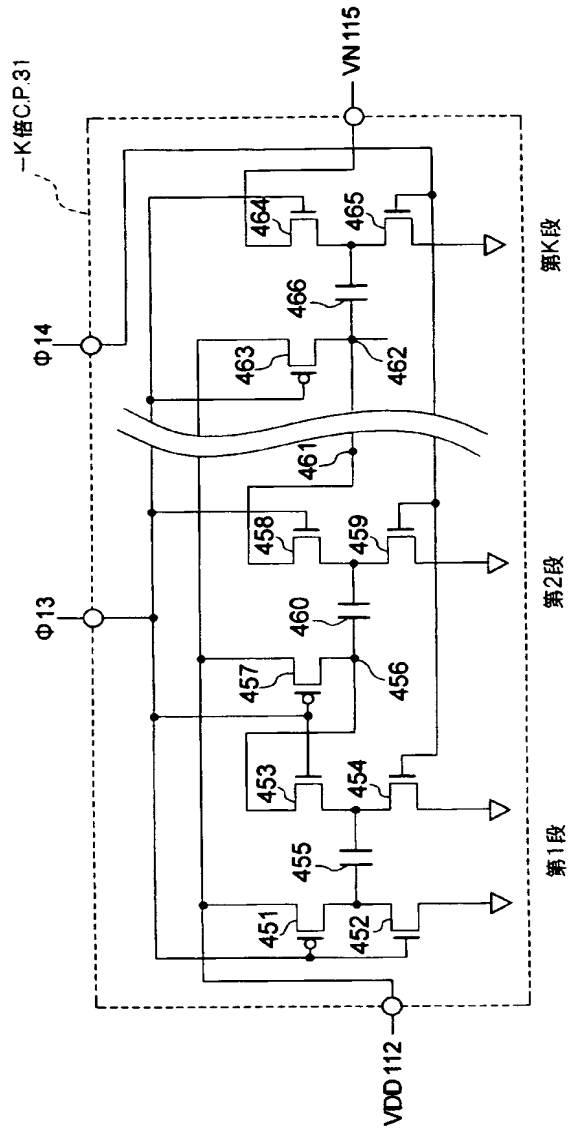
【図 19】



【図 2 0】

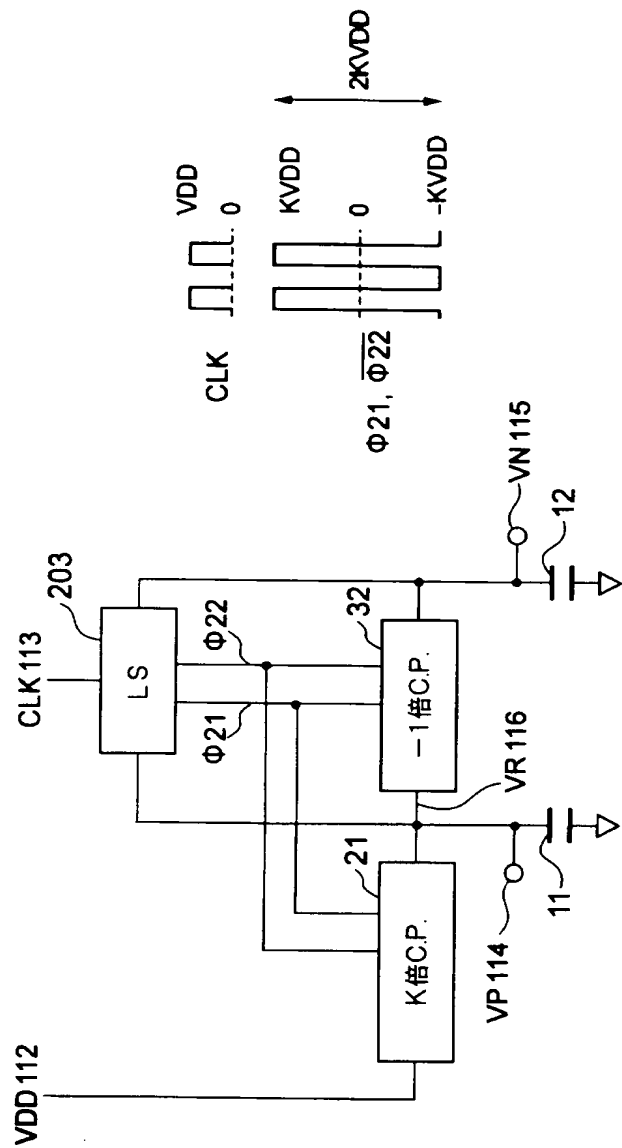


【図 21】



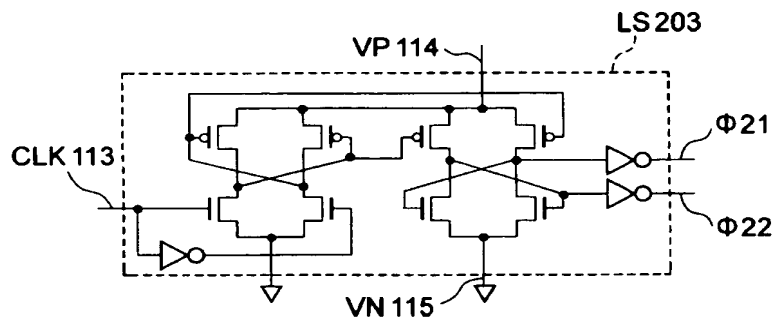
負電圧昇圧回路 31

【図 22】



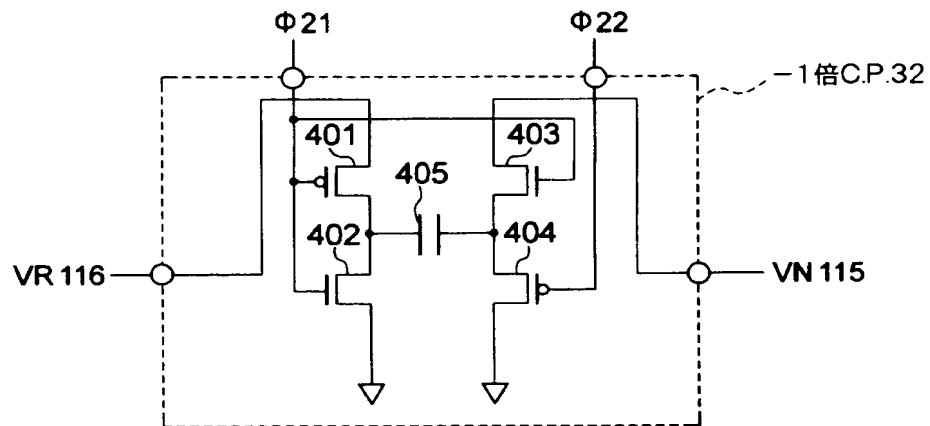
第2の従来の昇圧回路およびゲート信号

【図 2 3】



第2の従来例のレベルシフト回路 203

【図 24】



極性反轉回路 32

【書類名】 要約書

【要約】

【課題】 従来よりも低い耐圧電圧のトランジスタで構成可能な昇圧回路の提供。

【解決手段】 昇圧回路が正の昇圧電圧 $K \times VDD$ を発生させる正昇圧回路 21 を具備し、正の昇圧電圧の極性を反転させて絶対値の等しい負の昇圧電圧 $-K \times VDD$ を発生させる極性反転回路 22 を具備し、レベルシフト回路 201 が生成するゲート信号の高レベルが正の昇圧電圧 $K \times VDD$ であり、低レベルが負の昇圧電圧 $-K \times VDD$ 以上（0 V）であり、レベルシフト回路 202 が生成するゲート信号の低レベルが負の昇圧電圧 $-K \times VDD$ であり、高レベルが正の昇圧電圧 $K \times VDD$ 以下（VDD）である。

【選択図】 図 1

特願 2 0 0 2 - 3 0 1 1 8 6

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 4 2 3 7]

1. 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

東京都港区芝五丁目 7 番 1 号

氏 名

日本電気株式会社